

10/540400

(12)特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局(43) 国際公開日
2004 年 8 月 5 日 (05.08.2004)

PCT

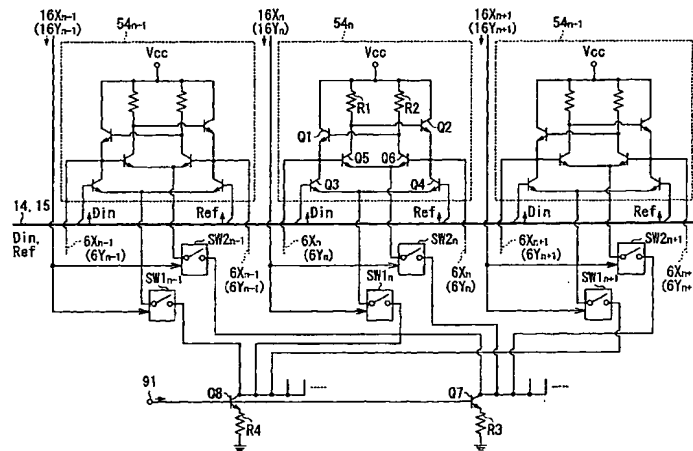
(10) 国際公開番号
WO 2004/066308 A1

- (51) 国際特許分類: G11C 11/15, H01L 27/10 (72) 発明者; および
(75) 発明者/出願人 (米国についてのみ): 江崎 城一郎 (EZAKI, Joichiro) [JP/JP]; 〒103-8272 東京都中央区日本橋一丁目 1 3 番 1 号 T D K 株式会社内 Tokyo (JP). 柿沼 裕二 (KAKINUMA, Yuji) [JP/JP]; 〒103-8272 東京都中央区日本橋一丁目 1 3 番 1 号 T D K 株式会社内 Tokyo (JP). 古賀 啓治 (KOGA, Keiji) [JP/JP]; 〒103-8272 東京都中央区日本橋一丁目 1 3 番 1 号 T D K 株式会社内 Tokyo (JP). 住田 成和 (SUMITA, Shigekazu) [JP/JP]; 〒103-8272 東京都中央区日本橋一丁目 1 3 番 1 号 T D K 株式会社内 Tokyo (JP).
- (21) 国際出願番号: PCT/JP2004/000249
- (22) 国際出願日: 2004 年 1 月 15 日 (15.01.2004)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願2003-9881 2003 年 1 月 17 日 (17.01.2003) JP
- (71) 出願人 (米国を除く全ての指定国について): T D K 株式会社 (TDK CORPORATION) [JP/JP]; 〒103-8272 東京都中央区日本橋一丁目 1 3 番 1 号 Tokyo (JP). (74) 代理人: 三反崎 泰司, 外 (MITAZAKI, Taiji et al.); 〒160-0022 東京都新宿区新宿 1 丁目 9 番 5 号 大台ビル 2 階 Tokyo (JP).

/ 続葉有 /

(54) Title: MAGNETIC MEMORY DEVICE, WRITE CURRENT DRIVER CIRCUIT, AND WRITE CURRENT DRIVING METHOD

(54) 発明の名称: 磁気メモリデバイスおよび書き込電流駆動回路、並びに書き込電流駆動方法



(57) Abstract: The number of circuit components used for writing can be reduced, the variations of write currents flowing through write lines can be reduced, and the power consumption for writing can be reduced. First and second constant current circuits (a transistor (Q8), a resistor (R4), a transistor (Q7) and a resistor (R3)) are provided commonly to a plurality of current direction control parts (54n-1, 54n, 54n+1,...). These constant current circuits are connected to the current direction control parts (54) via first (SW1..., SW1n..., SW1n+1,...) and second (SW2..., SW2n..., SW2n+1,...) circuit selection switches provided for each of the current direction control parts (54). These constant current circuits receive decode signal voltages from word decode lines (16X) (bit decode lines (16Y)) via the circuit selection switches (SW1, SW2).

(57) 要約: 書き込み用の回路部品の低減化を図ることができると共に、各書き込線に流れる書き込み電流のばらつきを小さくでき、かつ、書き込みのための消費電力の低減化を図ることができるようにする。第1および第2の定電流回路(トランジスタ(Q8)および抵抗器(R4)、並びにトランジスタ(Q7)および抵抗器(R3))は、複数の電流方向制御部(54n-1, 54n, 54n+1,

/ 続葉有 /

WO 2004/066308 A1



(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC, NL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告書

(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, SD, SL,

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

…)について共通に設けられている。これらの定電流回路は、各電流方向制御部(54)ごとに設けられた第1の回路選択スイッチ(SW1…、SW1n、SW1n+1…)および第2の回路選択スイッチ(SW2…、SW2n、SW2n+1…)を介して、各電流方向制御部(54)に接続されている。また、これらの定電流回路には、回路選択スイッチ(SW1)、(SW2)を介して、リードデコード線(16X)(ビットデコード線(16Y))からデコード信号電圧が与えられる。

明細書

磁気メモリデバイスおよび書込電流駆動回路、並びに書込電流駆動方法

技術分野

本発明は、強磁性体を含む磁気抵抗効果素子を用いて構成され、この強磁性体の磁化方向を制御することにより情報を書き込み、記憶する磁気メモリデバイス、および磁気メモリデバイスに適用される書込電流駆動回路、並びに書込電流駆動方法に関する。

背景技術

従来より、コンピュータやモバイル通信機器などの情報処理装置に用いられる汎用メモリとして、D R A M (Dynamic Random Access Memory) や S R A M (Static R A M) などの揮発性メモリが使用されている。揮発性メモリは、常に電流を供給しておかなければすべての情報が失われる。そのため、情報の記憶には不揮発性メモリを別途設ける必要があり、フラッシュ E E P R O M (Electrically Erasable and Programmable R O M) やハードディスク装置などが用いられている。これら不揮発性メモリについては、情報処理の高速化に伴い、高速化が重要な課題となっている。また、近年のいわゆるユビキタスコンピューティングを目指した情報機器開発という別の側面からも、そのキーデバイスとして高速な不揮発性メモリの開発が強く求められている。

不揮発性メモリの高速化に有効な技術としては、M R A M (Magnetic Random Access Memory) が知られている。M R A M は、マトリクス状に配列された個々の記憶セルが磁気素子で構成されている。現在実用化されている M R A M は、巨大磁気抵抗効果 (G M R : Giant Magneto-Resistive) を利用したものである。G M R とは、互いの磁化容易軸を揃えて配設された 2 つの強磁性層が積層された積層体において、積層体の抵抗値が、各強磁性層の磁化方向が磁化容易軸に沿って平行な場合に最小、反平行の場合に最大となる現象である。各記憶セルは、この 2 状態を「0」, 「1」の 2 値情報に対応させて情報を記憶し、情報に対応さ

せた抵抗の違いを電流または電圧の変化として検出することによって情報を読み出す仕組みになっている。実際のGMR素子では、2つの強磁性層は非磁性層を介して積層され、磁化方向が固定されている固定層と、外部磁界により磁化方向が変化可能な自由層（感磁層）とからなる。

また、強磁性トンネル効果（TMR：Tunneling Magneto-Resistive）を利用した磁気素子では、GMR素子に比べて抵抗変化率を格段に大きくすることができる。TMRとは、極薄の絶縁層を挟んで積層された2つの強磁性層（磁化方向が固定された固定層と、磁化方向が変化可能な感磁層すなわち自由層）において、互いの磁化方向の相対角度により絶縁層を流れるトンネル電流値が変化する現象である。すなわち、磁化方向が平行である場合にトンネル電流は最大（素子の抵抗値は最小）となり、反平行の場合、トンネル電流は最小（素子の抵抗値は最大）となる。TMR素子の具体例としては、CoFe/Al oxide/CoFeの積層構造が知られるが、その抵抗変化率は40%以上にも及ぶ。また、TMR素子は抵抗が高く、MOS型電界効果トランジスタ（MOSFET：Metal-Oxide-Semiconductor Field Effect Transistor）などの半導体デバイスとのマッチングが取りやすいとされている。こうした利点から、TMR-MRAMは、GMR-MRAMと比較して高出力化が容易であり、記憶容量やアクセス速度の向上が期待されている。

GMR-MRAMもTMR-MRAMも、情報の書き込みは同様の方式で行われる。すなわち、導線に電流を流して磁界を誘導し、この電流磁界によって自由層の磁化方向を変化させる。これにより、強磁性層間の相対的な磁化方向が平行または反平行となり、対応する2値情報が記憶される。

例えば、従来のTMR-MRAMは、以下のような構成となっている。第22図に示したように、書込用ワード線202（および読出用ワード線203）と、書き込み／読み出し共用のビット線201とは互いに直交するように配設されている。ここでは、これら書き込み用の配線を総称して書込線と呼ぶ。また、図示はしないが、その交差領域の各々には、両者に挟まれるようにTMR素子207が配設され、個々の記憶セルを構成している。第23図は、TMR素子の一般的な構成を表している。このように、TMR素子207は、固定層である第1磁性

層 2 0 4、トンネルバリア層 2 0 5、および自由層である第 2 磁性層 2 0 6 からなる積層体で構成されている。また、この積層体の一方の面側にビット線 2 0 1 が設けられ、他方の面側に読出用ワード線 2 0 3、書込用ワード線 2 0 2 が設けられている。

このような構成の M R A M では、ある記憶セルに情報を記憶することは、その第 2 磁性層 2 0 6 の磁化方向を情報に応じた方向に制御することにほかならない。これは、書き込み対象の記憶セルを挟むように配置されたビット線 2 0 1、書込用ワード線 2 0 2 に電流を流すことで行われる。書込線に流れる電流各々には磁界が誘導され、その合成磁界によって、第 2 磁性層 2 0 6 の磁化方向が変化する。

その際、書込線には、書込電流駆動回路（カレントドライブ）から書き込み電流が供給される。第 2 4 図は、従来の M R A M に適用されるカレントドライブの構成例を示している（ISSCC 2000 Digest paper TA7.2 参照）。この回路は、必要な書き込み電流値等より形状を規定したパルスを生成する部分と、書き込むべき書込線を選択し、生成パルスを送出する部分からなる。ここでは、前者には基準信号発生部 2 1 1、正側増幅器 2 1 3 A、負側増幅器 2 1 3 B、電流方向選択部 2 1 4、タイミングブロック 2 1 6 およびパルス幅制御部 2 1 7 が対応している。また、後者には書込線選択部 2 1 9 が対応している。なお、タイミングブロック 2 1 6 は、書き込み信号入力線 2 1 5 に入力されるタイミング信号をきっかけとして、時間スイッチであるパルス幅制御部 2 1 7 のタイミング制御を行うものである。書込線選択部 2 1 9 は、アドレスデコード線 2 1 8 に入力されるデコード信号に応じて、パルス供給先となる書込線を選択するものであり、一般には各書込線に対応した多数のスイッチング素子で構成される。この書込線選択部 2 1 9 には、書込線の一端が接続され、書込線のもう一端は接地されている。

この回路では、データ信号線 2 1 2（D in）は分岐されており、それぞれの分岐先において正側増幅器 2 1 3 A、負側増幅器 2 1 3 B により正負双方の増幅信号が生成され、その一方が電流方向選択部 2 1 4 により選択されるようになっている。また、正側増幅器 2 1 3 A、負側増幅器 2 1 3 B には、基準信号発生部 2 1 1 より基準信号が入力されるようになっており、入力信号の大きさを基準値に調整するようになっている。データ信号は、書き込むデータを表す“H i g h”，

“Low”のデジタル信号であり、この回路部分では、例えば“High”は正側増幅器213Aで単純に増幅するが、“Low”は負側増幅器213Bで負電位のパルスに反転増幅する（増幅された方を選びとる）ようにし、結果として、共に大きさは基準値である正負のパルスのいずれかを、データ信号に応じて生成するようになっている。このパルスは、パルス幅制御部217において、必要な電流量に応じた所定のパルス幅に調整され、書込用パルスとなる。書込用パルスは、書込線選択部219を介し、デコード信号に応じた書込線に供給される。このとき、書込線に正の書込用パルスを印加すると、書込線を接地側に向かう電流が流れ、負の書込用パルスを印加すると、逆に接地側からパルス供給端側へ向かう電流が流れる。

このように、従来では、まずパルス形状とその符号を調整することによって、書込線の所定方向に所望の電流量を供給するような書込用パルスを生成しておき、これを書込線に供給するようになっていた。第25A図は、こうした従来のカレントドライブを機能的に表現している。定電流制御部300とは、基準信号発生部211を始めとする、上記カレントドライブにおいて書き込み電流量を一定値に制御する機能を有する回路要素を代表したものである（通常、基準信号発生部211だけでは、パルスの高さを精度よく制御することはできないので、その他に、パルス電圧値を微調整する回路が付加されている）。

しかしながら、実際のMRAMでは、書込線自体の抵抗値にばらつきが生じている。抵抗ばらつきは、それぞれの書込線の位置に応じて配線長が異なる場合や形状が異なる場合に、また製造誤差等によって生じる。これに対し、従来のカレントドライブは、一旦書込線に供給した書き込み電流について何ら制御するようになってはいないため、実際に流れる電流量が、その抵抗値に応じて書込線ごとに異なってしまうという問題があった。すなわち、従来のカレントドライブは、書込用パルスをいかに高精度に制御できたとしても、書込線ごとの抵抗値に応じて供給電流量を調整する機能が備わっていないことから、抵抗ばらつきの影響を除去することができず、書込線に安定して定電流を供給することが難しかったのである。

MRAMでは、書き込みのための磁界を、書き込み電流に誘導される電流磁界

としていることから、素子における書き込み状態（磁化状態）は、磁界の強さ、すなわち書き込み電流の大きさによって決まってくる。そのため、このように書き込み電流の値が一定していない場合には、情報を安定した状態で記憶させたり、確実に読み出したりすることができず、動作安定性に支障をきたすことが考えられる。

なお、書込線の抵抗値に応じて供給電流量を制御する手法としては、例えば、書き込み電流の下流にて電流値を一定とする制御を行い、書込線全体に流れる電流量を一定とすることが考えられる。つまり、第25B図のように定電流制御部300を、書込線の接地側に設ける場合である。ところが、通常の定電流回路は、トランジスタやダイオードなどから構成されるバンドギャップリファレンスを使用した回路であるから、この場合には電流方向が一方向に限定されることになり、一本の書込線に対し双方向に電流を流すことができなくなってしまう。この書き込み回路系で双方向に電流を流そうとするならば、第25C図のように2本の書込線を束ね、回路系を対称に配置しなければならないが、回路構造も制御も複雑になるために、現実的ではない。書き込み電流を双方向制御することはMRAMのカレントドライブにおいては必須の条件といってよく、書き込み電流を一定値に制御するという課題も、この条件を満たしたうえで解決するものでなければならない。しかし、いまみたように、これらを両立する回路を実現することは容易ではなく、有効な解決手法は未だ提案されていなかった。

また、各書込線に対応するカレントドライブにそれぞれ、定電流回路を設けることも考えられる。しかしながら、各カレントドライブが独立して定電流回路を持つと消費電力が多くなるばかりか、各書込線に流れる電流のばらつきも大きくなる可能性がある。また、定電流回路を各カレントドライブに設けるので、回路部品も多くなってしまう。

発明の開示

本発明はかかる問題点に鑑みてなされたもので、その目的は、書き込み用の回路部品の低減化を図ることができると共に、各書込線に流れる書き込み電流のば

らつきを小さくでき、かつ、書き込みのための消費電力の低減化を図ることができる磁気メモリデバイスおよび書込電流駆動回路、並びに書込電流駆動方法を提供することにある。

本発明の磁気メモリデバイスは、外部磁界によって磁化方向が変化する感磁層を含んで構成された複数の磁気抵抗効果素子と、感磁層に印加される外部磁界を発生させるための書き込み電流が流れる複数の書込線と、各書込線ごとに設けられ、入力された書込用のデータ信号に応じて各書込線における書き込み電流の方向を制御する機能を有する複数の電流方向制御回路と、複数の電流方向制御回路について共通に設けられ、各書込線に流れる書き込み電流を一定化する定電流回路とを備えたものである。

この磁気メモリデバイスでは、複数の書込線のいずれかに選択的に書き込み電流が供給される。その際、各書込線ごとに設けられた電流方向制御回路によって、各書込線における書き込み電流の方向が制御される。また、複数の電流方向制御回路について共通に設けられた定電流回路によって、各書込線に流れる書き込み電流が一定化される。定電流回路が、複数の電流方向制御回路について共通に設けられていることにより、定電流回路を各電流方向制御回路に独立に設けた場合と比べて回路部品の低減化が図られると共に、各書込線に流れる書き込み電流のばらつきが抑えられ、消費電流の低減化にも寄与する。

なお、本発明においていう「書き込み電流を一定化する」とは、書込線に流入する前、または流入端における書き込み電流量を制御対象としたものではなく、書き込み電流の大きさを、書込線の一端に流入してから他端から流出するまで、書込線全体にわたって一定値とするような定電流制御を意味している。

電流方向制御回路は、入力された書き込み用のデータ信号に応じて書き込み電流の方向を制御する。すなわち、書き込み電流の方向は、データ信号に応じて切り換えられ、こうした書き込み電流を用いて、感磁層の磁化がデータ信号に応じた方向に制御されることにより、データ信号に対応した情報の書き込みが行われる。なお、ここでいう「情報」とは、一般に磁気メモリデバイスへの入出力信号において「0」、「1」あるいは電流値や電圧値による「High」、「Low」等で表される2値情報をいい、情報に対応した電流値または電圧値そのもの

をデータ信号という。

各書込線は、例えば電流方向制御回路に両端が接続されたループ形状をなしている。なお、本発明の磁気メモリデバイスにおいて「接続され」とは、少なくとも電氣的に接続された状態を指し、物理的に直接に接続されていることを必ずしも条件としない。

より具体的には、電流方向制御回路は、書込線の両端に対応してそれぞれ設けられて互いに反対の開閉状態となるように動作する第1および第2の電流スイッチ、からなる第1の差動スイッチ対と、第1および第2の電流スイッチに対応してそれぞれ設けられて互いに反対の開閉状態となるように動作する第3および第4の電流スイッチ、からなる第2の差動スイッチ対と、互いに反対の開閉状態となるように動作する第5および第6の電流スイッチからなり、第1および第4の電流スイッチが同じ開閉状態となると共に第2および第3の電流スイッチが第1および第4の電流スイッチとは反対の開閉状態となるように制御を行う差動制御手段とを含んでいることが好ましい。

なお、一般的なスイッチング素子における開閉状態（オン／オフ状態）とは、導通状態（あるいは流れる電流量が閾値以上の状態）としてのオン状態に対し、ほとんど電流を流さない実質的な遮断状態（あるいは流れる電流量が閾値以下の状態）をオフ状態とする場合を想定している。この場合のオン状態とオフ状態は、それぞれ定常的に規定されたものであり、各々の状態をデジタル的に判別可能である。本発明における電流スイッチの「開閉状態（オン／オフ状態）」は、このような2状態を含むが、それだけにはとどまらず、差動スイッチ対として対をなす電流スイッチにて差動動作時に生じる相対的な2状態、より多くの電流を流す方をオン状態、より少ない電流しか流せない方をオフ状態とする場合をも含んだ概念である。

この電流方向制御回路では、第1の差動スイッチ対の第1の電流スイッチと第2の電流スイッチは、互いに反対の開閉状態（オン／オフ状態）となる。書込線の両端のうち、対応する電流スイッチがオン状態の側は導通し、電流が流れることが許容されるが、対応する電流スイッチがオフ状態の側は遮断され、電流が流れないようになる。こうして、書込線の両端のうち、第1の差動スイッチ対のオ

ン状態の電流スイッチに制御される側が、書き込み電流流入側として選ばれる。
また、第2の差動スイッチ対では、第3の電流スイッチが、第1の電流スイッチ同様、書込線の一端に対応して設けられ、第4の電流スイッチが、第2の電流スイッチ同様、書込線他端に対応して設けられている。第3の電流スイッチと第4の電流スイッチは、互いに反対の動作状態となり、第2の差動スイッチ対は第1の差動スイッチ対と同様に作用する。これにより、書込線の両端のうち、第2の差動スイッチ対のオン状態の電流スイッチに制御される側が、書き込み電流流出側として選ばれる。

電流方向制御回路がこのような構成をとる場合に、第1の電流スイッチと第4の電流スイッチは、同じ開閉状態となるように動作し、第2の電流スイッチと第3の電流スイッチは、第1および第4の電流スイッチとは反対の開閉状態となるように動作することが望ましい。これにより、第1の差動スイッチ対と第2の差動スイッチ対はそれぞれ、書込線の両端のうち互いに異なる側を流入側と流出側に選択することになり、書込線に対して書き込み電流が流れる向きが決定される。なお、本発明において意味するところの「同じ開閉状態」とは、電流方向制御回路等が十分に機能するようにスイッチの主動作としての開閉が一致している状態であり、スイッチ、またはスイッチに接続された素子の呼応時間等に起因した開閉のタイミング等が多少ずれている関係も含むものである。

この電流方向制御回路では、差動制御手段により各電流スイッチが動作制御され、第1および第2の差動スイッチ対が適正に駆動される。このような差動制御手段は、互いに反対の開閉状態となるように動作する第5および第6の電流スイッチからなるものとすれば、最も簡素な構成で機能を発揮でき、好ましい。より具体的には、第5の電流スイッチが、第3の電流スイッチの開閉状態を検出し、第3の電流スイッチと同じ開閉状態となるように第2の電流スイッチを動作させ、第6の電流スイッチが、第4の電流スイッチの開閉状態を検出し、第4の電流スイッチと同じ開閉状態となるように第1の電流スイッチを動作させることが好ましい。第1の差動スイッチ対と第2の差動スイッチ対の間には、常に同じ開閉状態となる電流スイッチが2組存在する。すなわち、（第2の電流スイッチ、第3の電流スイッチ）の組と、（第1の電流スイッチ、第4の電流スイッチ）の組で

ある。これら2組は、第5、第6の電流スイッチにより各組ごとに動作制御され、互いに反対の開閉状態となる。

さらに、電流方向制御回路の具体的構成としては、第1ないし第6の電流スイッチが、それぞれ、第1ないし第6のトランジスタで構成されていることが好ましい。トランジスタには、バイポーラトランジスタやMOSFET等があるが、そのいずれであっても構わない。

ここで、本発明の磁気メモリデバイスは、各電流方向制御回路ごとに、複数の電流方向制御回路のうちのいずれか1つを選択するための回路選択スイッチをさらに備えていてもよい。この場合、定電流回路が、電流制御用抵抗器と、コレクタ端子が回路選択スイッチを介して複数の電流方向制御回路の第3および第4のトランジスタのエミッタ端子に共通に導かれ、エミッタ端子が電流制御用抵抗器を介して接地に導かれ、ベース端子に一定電圧が選択的に入力されるように構成された電流制御用トランジスタとを含み、回路選択スイッチにより選択された電流方向制御回路における第3および第4のトランジスタを流れる電流の和が、定電流回路によって一定化されるように構成されていることが好ましい。

このような構成において、電流制御用トランジスタに入力される一定電圧は、例えば、電流制御用トランジスタのベースと接地との間にダイオードを設け、バンドギャップリファレンスを利用して生成することができる。

回路選択スイッチは、例えば、アドレス値に応じて複数の電流方向制御回路のうちのいずれか1つを選択するための回路選択信号に基づいて開閉制御される。また例えば、回路選択スイッチを、アドレス値に応じた回路選択信号と、書込モードであることを示す書込選択信号とに基づいて開閉制御するようにしてもよい。

電流方向制御回路において、第1ないし第6の電流スイッチを、それぞれ、第1ないし第6のトランジスタで構成した場合には、各電流スイッチと書込線との対応関係は、書込線の一端が第1のトランジスタのエミッタ端子と第3のトランジスタのコレクタ端子とに接続され、他端が第2のトランジスタのエミッタ端子と第4のトランジスタのコレクタ端子とに接続されることによって具体化される。また、このような電流方向制御回路は、各トランジスタによって、さらに次のように構成することが好ましい。例えば、第1および第2のトランジスタのコレク

タ端子が電源に接続されていてもよい。電源と書込線とが、第1および第2のトランジスタを介して接続されることになり、電源電流は、第1および第2のトランジスタのスイッチングに応じ、導通側から書込線に供給される。

なおここでいう「電源」とは、回路動作に必要な電流ないし電圧の供給源であり、磁気メモリデバイスの内部電源ラインを意味する。また、第2の差動スイッチ対の第3または第4のトランジスタの一方は、ベース端子に書き込み用のデータ信号が入力され、他方は、ベース端子にデータ信号の反転信号が入力されるようにしてもよい。ここでいう「反転信号」とは、データ信号とは反対の論理値をとる信号である。この場合には、第3および第4のトランジスタは、データ信号に基づいて駆動され、書き込む情報に対応した方向の電流を流すための電流流出端を協働して選択する。

第5および第6のトランジスタは、それぞれ、ベース端子が第3および第4のトランジスタのコレクタ端子に接続され、コレクタ端子に第2および第1のトランジスタのベース端子が接続されていることが好ましい。第5のトランジスタは、第3のトランジスタのコレクタ端子における電位がベース入力され、この電位に応じた動作をする。この第5のトランジスタのコレクタ端子における電位は第2のトランジスタにベース入力され、第2のトランジスタが、この電位に応じた動作をする。同様に、第6のトランジスタは、第4のトランジスタのコレクタ端子における電位がベース入力され、この電位に応じた動作をする。この第6のトランジスタのコレクタ端子における電位は第1のトランジスタにベース入力され、第1のトランジスタが、この電位に応じた動作をする。

ここで、本発明の磁気メモリデバイスは、複数の電流方向制御回路について共通に設けられ、第5および第6のトランジスタを流れる電流の和を一定化する第2の定電流回路をさらに備えていてもよい。この場合において、各電流方向制御回路ごとに、アドレス値に応じて複数の電流方向制御回路のうちのいずれか1つを選択するための第2の回路選択スイッチをさらに備え、第2の定電流回路が、第2の電流制御用抵抗器と、コレクタ端子が第2の回路選択スイッチを介して複数の電流方向制御回路の第5および第6のトランジスタのエミッタ端子に共通に導かれ、エミッタ端子が第2の電流制御用抵抗器を介して接地に導かれ、ベース

端子に一定電圧が選択的に入力されるように構成された第2の電流制限用トランジスタとを含むように構成されていることが好ましい。

このような構成により、第5および第6のトランジスタ（差動制御手段）からなる回路部分は、第1ないし第4のトランジスタ（第1および第2の差動スイッチ対）に対し独立した電流経路を有する差動増幅回路として動作する。

本発明の磁気メモリデバイスにおける磁気抵抗効果素子は、例えば、感磁層を含み、積層面に垂直な方向に電流が流れるように構成された積層体と、積層体の一方の面側に、積層面に沿った方向を軸方向とするように配設されると共に、書込線によって貫かれるように構成された環状磁性層とを備えたものである。このときの「外部磁界」は、書込線に流れる電流によって生ずる磁界のほか、環状磁性層に生ずる還流磁界を意味している。また、「環状磁性層」の「環状」とは、少なくとも内部を貫通する書込線からみたときに、それぞれの周囲を磁氣的かつ電氣的に連続して完全に取り囲み、書込線を横切る方向の断面が閉じている状態を示している。よって、環状磁性層は、磁氣的かつ電氣的に連続である限りにおいて絶縁体が含有されることを許容し、製造過程において発生する程度の酸化膜を含んでいてもよい。「軸方向」とは、この環状磁性層単体に注目したときの開口方向、すなわち内部を貫通する書込線の延在方向を指す。さらに、「積層体の一方の面側に、…配設され」とは、環状磁性層が積層体の一方の面の側に積層体とは別体として配設される場合のほか、環状磁性層が積層体の一部を含むように配設される場合をも含む、という趣旨である。このような磁気抵抗効果素子は、書込線に電流を流すことによって環状磁性層に閉磁路を形成する。これにより、感磁層の磁化反転が効率よく行われる。

磁気抵抗効果素子がこのような構成の場合には、書込線を、複数の第1の書込線および複数の第1の書込線の各々と交差するように延びる複数の第2の書込線からなるものとし、第1および第2の書込線が、環状磁性層を貫く領域において互いに平行に延びているように配設することが好ましい。磁気抵抗効果素子は、第1および第2の書込線の平行部分、すなわち環状磁性層の領域において同方向に電流が流れるときに選択され、情報が書き込まれる。その際、第1および第2の書込線によって生じる誘導磁界も、同方向に強め合うように生じる。

また、本発明の磁気メモリデバイスは、1つの記憶セルが、一对の磁気抵抗効果素子を含んで構成されていてもよい。単独で1単位情報を記憶することが可能な磁気抵抗効果素子を2つ用いて、1つの単位情報が記憶される。

この磁気メモリデバイスは、さらに、第1および第2の書込線の双方を流れる電流に誘導される磁界によって、一对の磁気抵抗効果素子における各感磁層の磁化方向が互いに反平行となるように変化し、記憶セルに情報が記憶されるものであることが好ましい。本発明における「磁化方向が互いに反平行」とは、互いの磁化方向、すなわち、磁性層内の平均磁化の方向のなす角度が厳密に180度である場合のほか、製造上生ずる誤差や完全に単軸化されなかったが故に生じる程度の誤差等に起因して互いの磁化方向のなす角度が180度から所定角度だけ外れている場合も含む。この磁気メモリデバイスでは、一对の磁気抵抗効果素子における双方の感磁層の磁化は、互いに向き合うか、反対向きかの2状態のいずれかを取り、それに2値情報が対応する。

本発明の書込電流駆動回路は、外部磁界によって磁化方向が変化する感磁層を含んで構成された複数の磁気抵抗効果素子と、感磁層に印加される外部磁界を発生させる書き込み電流が流れるように構成されたループ状の複数の書込線とを有する磁気メモリデバイスに適用される書込電流駆動回路であって、書込線の両端がそれぞれ接続される一对の接続端と、各書込線ごとに設けられ、入力された書込用のデータ信号に応じて各書込線における書き込み電流の方向を制御する機能を有する複数の電流方向制御回路と、複数の電流方向制御回路について共通に設けられ、各書込線に流れる書き込み電流を一定化する定電流回路とを備えたものである。

この書込電流駆動回路における電流方向制御回路と定電流回路は、本発明の磁気メモリデバイスが備えたものと同様の構成となっている。この書込電流駆動回路では、本発明の磁気メモリデバイスと同様、定電流回路が、複数の電流方向制御回路について共通に設けられていることにより、定電流回路を各電流方向制御回路に独立に設けた場合と比べて回路部品の低減化が図られると共に、各書込線に流れる書き込み電流のばらつきが抑えられ、消費電流の低減化にも寄与する。

本発明の書込電流駆動方法は、外部磁界によって磁化方向が変化する感磁層を

含んで構成された複数の磁気抵抗効果素子と、感磁層に印加される外部磁界を発生させる書き込み電流が流れるように構成されたループ状の複数の書込線とを有する磁気メモリデバイスに適用される書込電流駆動方法であって、各書込線ごとに電流方向制御回路を設けてこの電流方向制御回路に書込線の両端を接続すると共に、複数の電流方向制御回路について定電流回路を共通に設け、電流方向制御回路によって、入力された書込用のデータ信号に応じて各書込線における書き込み電流の方向を制御すると共に、定電流回路によって、各書込線に流れる書き込み電流を一定化するようにしたものである。

この書込電流駆動方法においても、定電流回路が、複数の電流方向制御回路について共通に設けられていることにより、定電流回路を各電流方向制御回路に独立に設けた場合と比べて回路部品の低減化が図られると共に、各書込線に流れる書き込み電流のばらつきが抑えられ、消費電流の低減化にも寄与する。

図面の簡単な説明

第1図は、本発明の一実施の形態に係る磁気メモリデバイスの全体構成を示すブロック図である。

第2図は、第1図に示した磁気メモリデバイスの要部構成を表す平面図である。

第3図は、第1図に示した磁気メモリデバイスの書き込み回路系の構成図である。

第4図は、第1図に示した磁気メモリデバイスにおけるカレントドライブの機能構成を説明するための概念的な構成図である。

第5図は、第1図に示した磁気メモリデバイスにおけるカレントドライブの回路図である。

第6図は、第1図に示した磁気メモリデバイスにおける記憶セルの具体的構成を示す断面図である。

第7図は、第6図に示した記憶セルを書込線が貫通する様子を表した要部構成図である。

第8図は、第6図に示した記憶セルの変形例に係る要部構成図である。

第9図は、第1図に示した磁気メモリデバイスの読み出し回路系の構成図であ

る。

第10図は、第6図に示した記憶セルに書き込まれる一記憶状態を表す図である。

第11図は、第6図に示した記憶セルに書き込まれるもう1つの記憶状態を表す図である。

第12図は、第10図に示した記憶状態に対応する書き込み動作を説明するための図である。

第13図は、第11図に示した記憶状態に対応する書き込み動作を説明するための図である。

第14A図ないし第14F図は、第12図に示した書き込み動作時のX方向カレントドライブの動作を表すタイミングチャートである。

第15図は、第12図に示した書き込み動作時のX方向カレントドライブの各トランジスタの動作状態と、書き込み電流の経路とを表す図である。

第16図は、第5図に示したカレントドライブの第1の変形例の構成図である。

第17図は、第5図に示したカレントドライブの第2の変形例の構成図である。

第18図は、第17図に示したカレントドライブにおけるスイッチの具体的な構成例を示す図である。

第19図は、第18図に示したスイッチの動作を説明するための図である。

第20図は、第5図に示したカレントドライブの第3の変形例の構成図である。

第21図は、第3図に示した書き込み回路系の変形例の構成図である。

第22図は、従来の書き込み回路系における書込線の配線構造を示す平面図である。

第23図は、従来の書き込み回路系における記憶セルの断面構成図である。

第24図は、従来の書き込み回路系におけるカレントドライブのブロック図である。

第25A図ないし第25C図は、従来の書き込み電流制御の問題点を説明するための図であり、第25A図は、第24図に示したカレントドライブと書込線との関係を示す図、第25B図はその変形例に係るカレントドライブと書込線からなる系の概略構成図、第25C図は第25A図、第25B図の回路系に内在する

問題を解決するために考案された書き込み回路系の概略構成図である。

発明を実施するための最良の形態

以下、本発明の実施の形態について図面を参照して詳細に説明する。

第1図は、本発明の一実施の形態に係る磁気メモリデバイスの全体の構成を示した図である。この磁気メモリデバイスは、いわゆる半導体メモリチップとして具現化されるMRAMであり、アドレスバッファ101、データバッファ102、制御ロジック部103、記憶セル群104、Y方向駆動回路部106、およびX方向駆動回路部108を主要な構成要素としている。

記憶セル群104は、全体としてマトリクスを構成するよう、多数の記憶セル12がワード線方向(X方向)、ビット線方向(Y方向)に配列したものである。個々の記憶セル12は、データを記憶する最小単位であり、「1」、「0」のビットデータが記憶されるようになっている。なお、ここでは、記憶セル群104における記憶セル12の各列をワード列 X_n 、各行をビット列 Y_n と呼ぶ。

Y方向駆動回路部106は、Y方向アドレスデコーダ106A、読み出しのためのセンスアンプ106B、書き込みのためのY方向カレントドライブ106Cから構成され、各々が記憶セル群104に対し、記憶セル12のビット列 Y_n (Y_1, Y_2, \dots)ごとに接続されている。

X方向駆動回路部108は、X方向アドレスデコーダ108A、読み出しのための定電流回路108B、書き込みのためのX方向カレントドライブ108Cから構成され、各々が記憶セル群104に対し、記憶セル12のワード列 X_n (X_1, X_2, \dots)ごとに接続されている。したがって、例えば、ある一つの記憶セル12は、図示したように、X方向アドレスデコーダ108A、Y方向アドレスデコーダ106Aから入力されるワード方向およびビット方向のアドレス(X_n, Y_n)によって一意に選択される。

アドレスバッファ101は、外部アドレス入力端子 $A_0 \sim A_{20}$ を備えると共に、アドレス線105、107を介してY方向アドレスデコーダ106A、X方向アドレスデコーダ108Aに接続されている。このアドレスバッファ101は、外部アドレス入力端子 $A_0 \sim A_{20}$ から記憶セル12を選択するための選択信号を取

り込み、内部バッファ増幅器においてアドレスデコーダ106A、108Aに必要な電圧レベルまで増幅する機能を有している。また、増幅した選択信号を、記憶セル12のワード列方向(X方向)、ビット列方向(Y方向)の2つの選択信号に分け、アドレスデコーダ106A、108Aのそれぞれに入力するようになっている。なお、磁気メモリデバイスが記憶セル群104を複数有している場合、アドレスバッファ101には、複数の記憶セル群104から1つの記憶セル群104を選択するためのアドレス信号もまた入力されるようになっている。

データバッファ102は、外部とデジタルデータ信号のやり取りを行うための外部データ端子D0~D7を備えると共に、制御信号線113によって制御ロジック部103に接続されている。データバッファ102は、入力バッファ102Aおよび出力バッファ102Bからなり、それぞれ、制御ロジック部103からの制御信号によって動作するようになっている。入力バッファ102は、書き込み用データバス110、111を介してそれぞれY方向カレントドライブ106C、X方向カレントドライブ108Cに接続されており、メモリ書き込み時に外部データ端子D0~D7からデータ信号を取り込み、このデータ信号を内部バッファ増幅器で必要とされる電圧レベルまで増幅し、カレントドライブ106C、108Cそれぞれに出力する機能を有している。出力バッファ102Bは、読み出し用データバス112を介してセンスアンプ106Bに接続されており、内部バッファ増幅器を用いることにより、メモリ読み出し時にセンスアンプ106Bより入力される読み出しデータ信号を、低インピーダンスで外部データ端子D0~D7に出力する機能を有している。

制御ロジック部103は、入力端子CS、入力端子WEを備え、データバッファ102に制御信号線113で接続されている。制御ロジック部103は、記憶セル群104に対する動作制御を行うものであり、入力端子CSからは、磁気メモリデバイスの書き込み/読み出し動作をアクティブにするか否かの信号(チップセレクト; CS)が入力される。また、入力端子WEからは、書き込み/読み出しを切り替えるための書き込み許可信号(ライトイネーブル; WE)が入力される。この制御ロジック部103は、入力端子CS、入力端子WEより取り込んだ信号電圧を、内部バッファ増幅器により駆動回路部106、108にて必要な

電圧レベルまで増幅する機能を有すると共に、増幅後の信号を駆動回路部 106, 108 のそれぞれに送出するようになっている。

なお、この磁気メモリデバイスの要部の具体的配置は、例えば、第2図のようなものである。同図の最外枠はダイ切り出し線を示している。シリコンチップ中央の広い領域には記憶セル群 104 が配設され、その周囲のわずかな領域に、駆動回路部 106, 108 等の記憶セル群 104 を駆動するための回路が実装されている。これらの回路は、ボンディングパッド 121 を介してデバイス全体の制御部または外部に接続されている。また、ここでは、X方向駆動回路部 108 は、記憶セル群 104 の左辺側に、Y方向駆動回路部 106 は、記憶セル群 104 の上辺側に配設されている。

〔書き込み回路の構成〕

第3図は、カレントドライブおよび記憶セルの書込線に対する位置関係を表している。記憶セル 12 の各々は、Y方向に延在する複数の書込用ビット線 6Y (6Y1, ..., 6Yn, ...) と、この書込用ビット線 6Y とそれぞれ交差するようにX方向に延在する複数の書込用ワード線 6X (6X1, ..., 6Xn, ...) のそれぞれによってX方向カレントドライブ 108C, Y方向カレントドライブ 106C の双方から電流供給を受けて、情報を書き込むようになっている。

書込用ワード線 6X と書込用ビット線 6Y は、共にU字状のループを描くようにして配設されている。また、書込用ワード線 6X は、往路・復路の一方が書込用ビット線 6Y と交差する度に曲折され、書込用ビット線 6Y に対し平行となる部分を有している。ここでは、この平行部分の形成領域ごとに磁気抵抗効果素子が配設され、1つの記憶セル 12 は、書込用ワード線 6X と書込用ビット線 6Y の各1本が形成する一对の平行部分のそれぞれに配設された一对の磁気抵抗効果素子 12A, 12B (第6図参照) によって構成されている。なお、以降の説明においては、書込用ワード線 6X, 書込用ビット線 6Y を略称するときには、書込線 6X, 6Y とし、X方向, Y方向の区別なく総称するときには、単に書込線 6 と呼ぶことにする。

X方向カレントドライブ 108C, Y方向カレントドライブ 106C は、記憶セル 12 への書き込みの際に、それぞれ、書込用ワード線 6X, 書込用ビット線

6 Y に対し所定値の電流を供給するための定電流源回路である。ここでは、個々の書込用ワード線 6 X の両端は、X 方向カレントドライブ 108 C の 1 つに接続され、書込用ビット線 6 Y の両端は、Y 方向カレントドライブ 106 C の 1 つに接続されている。すなわち、書込用ワード線 6 X (6 X₁, ..., 6 X_n, ...) と X 方向カレントドライブ 108 C の配列は、記憶セル 12 のワード列 X_n に 1 対 1 に対応している。同様に、書込用ビット線 6 Y (6 Y₁, ..., 6 Y_n, ...) と Y 方向カレントドライブ 106 C の配列は、記憶セル 12 のビット列 Y_n に 1 対 1 に対応している。

(カレントドライブの構成)

これらのカレントドライブ 108 C, 106 C は、(1) 書込線 6 X, 6 Y に流す電流の向きを制御するスイッチとしての機能と、(2) その電流量を一定値に固定する機能(書き込み電流を一定化する定電流機能)とを備えたものとなっている。第 4 図は、これら (1) 書込線の電流方向を制御するスイッチング機能、および (2) 書込線における定電流制御能に着目した、本実施の形態のカレントドライブの概念的な構成図である。

(1) 電流方向の制御機能は、第 1 および第 2 の差動スイッチ対 51, 52、および、差動制御手段 53 から構成される電流方向制御部(電流方向制御回路) 54 により達成される。電流方向制御部 54 は、後述の第 5 図に示すように、各書込線 6 ごとに設けられるものである。なお、本実施の形態において、書込線 6 という場合には、図中の書込線 6 X_{n-1}, 6 X_n, 6 X_{n+1} や、6 Y_{n-1}, 6 Y_n, 6 Y_{n+1} の双方を含むものとする。

第 1 の差動スイッチ対 51 は、スイッチ Q1, Q2 からなり、スイッチ Q1, Q2 のそれぞれは、電源 V_{cc} と書込線 6 の端部 A, B との間に設けられ、いずれか一方がオン状態、他方がオフ状態をとることで、端部 A, B の一方のみに電源 V_{cc} が接続され、電流が流入するように構成されている。第 2 の差動スイッチ対 52 は、スイッチ Q3, Q4 からなり、スイッチ Q3, Q4 のそれぞれは書込線 6 の端部 A, B と接地との間に設けられ、いずれか一方がオン状態、他方がオフ状態をとることで、端部 A, B の一方のみが接地まで導かれ、電流が流出するように構成されている。

したがって、スイッチQ 1とスイッチQ 4が閉じ、スイッチQ 2とスイッチQ 3が開いている間は、書込線6に実線方向の電流が流れる。また、スイッチQ 1とスイッチQ 4が開き、スイッチQ 2とスイッチQ 3が閉じている間は、書込線6には点線方向の電流が流れる。すなわち、この場合に書込線6における電流を双方向制御するには、スイッチQ 1とスイッチQ 4とが同じ動作状態をとり、それとは反対の動作状態をスイッチQ 2とスイッチQ 3がとることが必要である。このように、第1および第2の差動スイッチ対5 1, 5 2は、互いに相補的なスイッチング動作を行うことで、電流方向制御を可能とする。

ここでは、こうした第1および第2の差動スイッチ対5 1, 5 2の動作制御を、差動制御手段5 3が行うようになっている。差動制御手段5 3は、第1および第2の差動スイッチ対5 1, 5 2のうち一方の動作状態を差動センシングし、そのセンシング結果に基づいて他方の動作を制御する方法（例えば、スイッチQ 3, Q 4のオン／オフ状態に応じてスイッチQ 1, Q 2のオン／オフを制御する）で、これら2つの差動スイッチ対5 1, 5 2を協働させる。

なお、差動制御手段5 3は、一対のスイッチング素子からなる場合が最も簡易に構成することができる。またここでは基本的な動作を説明するため、差動制御手段5 3をスイッチQ 5, Q 6からなるものとし、これを第3の差動スイッチ対と呼ぶことにしている。具体的には、スイッチQ 5, Q 6は、スイッチQ 3, Q 4を差動センシングし、さらにその結果に基づいて、スイッチQ 1, Q 2を、スイッチQ 2がスイッチQ 3と同じオン／オフ状態、スイッチQ 1がスイッチQ 4と同じオン／オフ状態となるように制御するようになっている。

一方、本実施の形態におけるカレントドライブの（2）書込線における定電流制御は、書込線6の接地側に設けられる電流量制御部5 5によって行われる。電流量制御部5 5は、複数の電流方向制御部5 4について共通に設けられるものである。

電流量制御部5 5は、書込線6よりもさらに接地側に設けられ、そこで書込線6から流れ出てくる電流の量を固定するようになっている。これはすなわち書込線6における電流量であるから、書込線6では、その抵抗値によらず常に一定量の電流が流れることになる。なお、第4図には、電流量制御部5 5を、スイッチ

Q 3, Q 4と接地の間それぞれに設けられた定電流回路として表している。これは、機能を説明するための等価回路的な表現であり、実際の回路構成では、第5図に示したようにトランジスタQ 3とトランジスタQ 4とのエミッタ端子に共通配線され、第1の回路選択スイッチS W 1を経由している1つの定電流回路であってよい。

次に、第5図に基づいて、本実施の形態のカレントドライブの機能構成を第4図と対比しながら説明する。ここで、第5図は、本実施の形態におけるカレントドライブの具体的構成を示したものである。

X方向カレントドライブ108C, Y方向カレントドライブ106Cは、共に図示のように構成されており、トランジスタQ 1~Q 6は、それぞれ、第4図のスイッチQ 1~Q 6に対応している。また、X方向カレントドライブ108CのドライブポイントA, ドライブポイントBの間に、書込用ビット線6Xの両端が接続され、Y方向カレントドライブ106CのドライブポイントA, ドライブポイントBの間には書込用ビット線6Yの両端が接続されている。なお、電流方向制御部54(…, 54n, 54n+1, …)は、各書込線6X(…, 6Xn, 6Xn+1, …), 6Y(…, 6Yn, 6Yn+1, …)ごとに設けられているが、電流方向制御部54内の回路要素の構成はすべて同じであるから、第5図では、n番目の電流方向制御部54n内の回路要素についてのみ符号を付している。

第4図の電流量制御部55に対応する定電流回路は、トランジスタQ 8および抵抗器R 4によって実現されている。なお、第5図の回路例では、トランジスタQ 7, 抵抗器R 3もまた定電流回路(第2の定電流回路)の構成をとり、トランジスタQ 5, Q 6の総電流を規定するようになっている。トランジスタQ 8, トランジスタQ 7は、それぞれ、本発明における「第1の電流制御用トランジスタ」, 「第2の電流制御用トランジスタ」の一具体例に対応している。抵抗器R 4, 抵抗器R 3は、それぞれ、本発明における「第1の電流制限用抵抗器」, 「第2の電流制限用抵抗器」の一具体例に対応している。

定電流回路を構成するトランジスタQ 8および抵抗器R 4は、複数の電流方向制御部54n-1, 54n, 54n+1, …について共通に設けられている。第2の定電流回路を構成するトランジスタQ 7および抵抗器R 3もまた、複数の電流方向

制御部 5 4 n-1, 5 4 n, 5 4 n+1, …について共通に設けられている。これらの定電流回路は、各電流方向制御部 5 4 ごとに設けられた第 1 の回路選択スイッチ S W 1 (… , S W 1 n, S W 1 n+1, …) および第 2 の回路選択スイッチ S W 2 (… , S W 2 n, S W 2 n+1, …) を介して、各電流方向制御部 5 4 に接続されている。また、これらの定電流回路には、回路選択スイッチ S W 1, S W 2 を介して、ワードデコード線 1 6 X (ビットデコード線 1 6 Y) からデコード信号電圧が与えられる。なお、本実施の形態においては、カレントドライブ 1 0 8 C (1 0 6 C) の前段で、ワードデコード線 1 6 X (ビットデコード線 1 6 Y) に入力されるデコード信号が一定電圧、例えば 1. 5 V となるように設計されていることから、トランジスタ Q 8, 抵抗器 R 4、並びにトランジスタ Q 7 および抵抗器 R 3 を流れる電流量は一定となる。

先に第 4 図を参照して説明した各差動スイッチ対 5 1 ~ 5 3 の動作は、第 5 図の具体的な回路上では、トランジスタ Q 3, Q 5, Q 2 の系と、トランジスタ Q 4, Q 6, Q 1 の系とで相補的に行われ、トランジスタ Q 5, Q 6 の差動センシングによって (トランジスタ Q 3, Q 2) の組と (トランジスタ Q 4, Q 1) の組のいずれか一方がオン状態、他方がオフ状態をとるようになっている。またさらに、トランジスタ Q 3, Q 4 は、ベース端子にデータ信号線 1 4 (D in), リファレンス信号線 1 5 (Ref) が接続されており、書き込むべきデータに基づいてスイッチングするようになっている。すなわち、これらトランジスタ Q 5, Q 6 が、データ信号入力をきっかけに動作するトランジスタ Q 3, Q 4 のオン/オフ状態を差動センシングし、その結果に基づいて、トランジスタ Q 1 がトランジスタ Q 4 と、またトランジスタ Q 2 がトランジスタ Q 3 と同じ動作状態となるように、トランジスタ Q 1, Q 2 の動作制御を行うように構成されている。

このように、第 4 図、第 5 図に示した構成によって、カレントドライブ 1 0 8 C, 1 0 6 C は、書き込み電流に対する (1) 方向制御機能、(2) 定電流制御機能を兼ね備えることができ、書込線の抵抗ばらつきの影響を排除し、書込線に安定して定電流を供給することができる。さらに、第 1 および第 2 の定電流回路 (トランジスタ Q 8, 抵抗器 R 4、並びにトランジスタ Q 7 および抵抗器 R 3) を、複数の電流方向制御部 5 4 n-1, 5 4 n, 5 4 n+1, …について共通にしてい

るので、より安定して定電流を供給することができる。従来のカレントドライブでは、前述のように、電流量制御は書込線に供給する前段で行うほかなく、これほど完全な制御はできなかった。なお、本実施の形態のカレントドライブの構成は、従来の変形例として示した2重の回路系（第25C図）と同等とみなすことができる。その対称な機能構成を、対称な差動スイッチ対からなる1つの回路系により、一本の書込線について実現したものということができる。

以下、第5図に示したカレントドライブの要素配置およびそれらの接続関係について説明する。

トランジスタQ3、Q4の各コレクタ端子と電源Vccとの間にはそれぞれ、電源Vcc側より、後段増幅用差動対として機能するトランジスタQ1、Q2のコレクターエミッタ間、トランジスタQ5、Q6のベース端子が接続され、さらに、書込用ワード線6X（または書込用ビット線6Y）の両端が引き込まれるドライブポイントA、Bが設けられている。なお、トランジスタQ1のベース端子はトランジスタQ6の、トランジスタQ2のベース端子はトランジスタQ5のコレクタ側に、たすき掛け様に接続されている。

トランジスタQ3、Q4のエミッタ端子は、共に、第1の回路選択スイッチSW1、トランジスタQ8のコレクターエミッタ間および抵抗器R4に直列に接続され、これらを介して接地されている。トランジスタQ8は、後述するように半導体スイッチとして機能する。トランジスタQ8および抵抗器R4は、電流制限機能を有している。第1の回路選択スイッチSW1は、例えばバイポーラ型の半導体スイッチによって構成されている。

トランジスタQ3のベース端子には、書き込むべきデータに基づくデータ信号が入力されるデータ信号線14（Din）が接続されている。一方、トランジスタQ4のベース端子には、データ信号を反転させたリファレンス信号が入力されるリファレンス信号線15（Ref）が接続されている。なお、第5図では、データ信号線14およびリファレンス信号線15をひとつのバス信号線として簡略化して示しているが、実際には、後述の第15図に示すように別々の信号線となっている。またここでは、各信号の入力により信号線14、15に流れる電流はそれぞれ、トランジスタQ3、Q4のベース－エミッタ間にすべて流れ込むようにな

っており、トランジスタQ3、Q4とトランジスタQ8とからなる回路部分が差動増幅器として動作するようになっている。さらに、このトランジスタQ3、Q4を始めとするトランジスタ対を適正に差動動作させるため、データ信号およびリファレンス信号の電圧振幅は、トランジスタQ3、Q4の共通となったエミッタの電位に対して、一方は ϕ (V) だけ高く、他方は同電位以下、または高くともエミッタ電位を0.2V以下の範囲内で超える程度の値とする。

トランジスタQ5、Q6それぞれのコレクタ端子は、バイアス抵抗として機能する抵抗器R1、R2（第1、第2のバイアス抵抗器）を介して電源Vccに接続されている。また、エミッタ端子は、共に、第2の回路選択スイッチSW2、トランジスタQ7のコレクターエミッタ間、抵抗器R3に直列に接続され、さらに接地へと導かれている。このトランジスタQ7もまた、後述するように半導体スイッチとして機能する。トランジスタQ7および抵抗器R3は、電流制限機能を有している。第2の回路選択スイッチSW2は、例えばバイポーラ型の半導体スイッチによって構成されている。

回路選択スイッチSW1、SW2は、複数の電流方向制御回路54のうちのいずれか1つを選択するためのものであり、各電流方向制御回路54ごとに設けられている。回路選択スイッチSW1、SW2は、複数の電流方向制御回路54のうちのいずれか1つを選択するための回路選択信号に基づいて開閉制御される。より詳しくは、回路選択スイッチSW1、SW2には、書き込み対象の記憶セル12のアドレスデコード値が回路選択信号として入力されるようになっている。すなわち、X方向カレントドライブ108Cにおいては、X方向アドレスデコーダ108Aから回路選択スイッチSW1、SW2にワードデコード線16X（16X1, ..., 16Xn, ...）が接続され、このワードデコード線16Xを介して、X方向アドレスデコーダ108Aより、記憶セル12のワード列Xnを選択するためのデコード値が入力される。同様に、Y方向カレントドライブ106Cにおいては、Y方向アドレスデコーダ106Aから回路選択スイッチSW1、SW2にビットデコード線16Y（16Y1, ..., 16Yn, ...）が接続され、このビットデコード線16Yを介して、Y方向アドレスデコーダ106Aより、記憶セル12のビット列Ynを選択するためのデコード値が入力される。

カレントドライブ108C(106C)では、回路選択スイッチSW1, SW2によって複数の電流方向制御回路54のうちのいずれか1つが選択されると、複数の電流方向制御回路54に共通に設けられた第1および第2の定電流回路(トランジスタQ8, 抵抗器R4、並びにトランジスタQ7および抵抗器R3)が、選択された電流方向制御回路54と協働して動作するようになっている。

トランジスタQ7, Q8は、そのベース端子が定電流回路制御端子91に接続され、定電流回路制御端子91を介して入力された制御信号に基づいて開閉動作する半導体スイッチとしても機能するようになっている。

定電流回路制御端子91には、トランジスタQ7, Q8を遮断状態にし得る電圧レベルの制御信号が選択的に入力されるようになっており、制御信号に応じて、トランジスタQ7, Q8を共用するカレントドライブ108C(106C)のすべてをアクティブ状態か、休止状態かのどちらかの状態に制御することができる。
(記憶セルの構成)

第6図は、本実施の形態に係る記憶セルの構成を示す断面図である。各記憶セル12の磁気抵抗効果素子12A, 12Bは、GMRまたはTMRを利用した磁気抵抗効果素子である。ここでは、一具体例として、磁気抵抗効果素子12A, 12BがTMR素子である場合について説明する。

記憶セル12は、基板10の上に左右1対の磁気抵抗効果素子12A, 12Bが搭載されてなる。これらの磁気抵抗効果素子12A, 12Bは、共に、第1の磁性層1, 非磁性層2, 第2の磁性層3が積層した積層体と、この積層体の一方の面側に積層面に沿った方向を軸方向とするように配設されると共に、書込線6X, 6Y(第1, 第2の書込線)によって貫かれるように構成された環状磁性層5とを含んで構成されている。第2の磁性層3と環状磁性層5は、非磁性導電層4を介して接合され、電氣的に接続されている。また、磁気抵抗効果素子12A, 12Bには、積層体の上面(環状磁性層5とは反対側の面)に読出センシング用導線11が設けられ、積層体に対し、積層面に垂直方向の電流を基板10に向かって流すことができるように構成されている。

第1の磁性層1は、磁化方向の固定された強磁性層であり、第2の磁性層3は、外部磁界によって磁化方向が変化する強磁性層(感磁層)である。これらは、数

n m (数 10 Å) と非常に薄い非磁性層 2 を挟んで積層されている。この積層体において、第 1 の磁性層 1 と第 2 の磁性層 3 との間に、積層面に垂直方向の電圧を印加すると、例えば第 2 の磁性層 3 の電子が非磁性層 2 を突き抜けて第 1 の磁性層 1 に移動してトンネル電流が流れる。すなわち、ここでの非磁性層 2 は、トンネルバリア層である。このトンネル電流は、非磁性層 2 との界面部分における第 1 の磁性層 1 のスピンと第 2 の磁性層 3 のスピンの相対的な角度によって変化する。第 1 の磁性層 1 のスピンと第 2 の磁性層 3 のスピンの向きが互いに平行な場合に磁気抵抗効果素子 12 A (12 B) の抵抗値は最小、反平行のときに最大となる。

第 2 の磁性層 3 は、書込用ワード線 6 X、書込用ビット線 6 Y による誘導磁界によって磁化が変化するようにになっている。ここで、第 2 の磁性層 3 の磁化は、誘導磁界によって反転し、これにより第 1 の磁性層 1 の磁化との相対角度が反転するようになっている。また、書き込み対象の記憶セル 12 の選択は、いわゆるマトリクス駆動法によって行うため、書込用ワード線 6 X、書込用ビット線 6 Y のいずれか一方だけではなく、これらの双方に対し電流が同方向に流れるときにのみ磁化反転が可能であるように、第 2 の磁性層 3 の磁気特性や寸法などが設定される。以上が、磁気抵抗効果素子 12 A (12 B) の基本構造である。

環状磁性層 5 は、第 6 図において紙面に垂直方向の軸をもつ筒型の形状を有し、書込用ワード線 6 X、書込用ビット線 6 Y の互いに平行な部分を内包している。第 7 図は、磁気抵抗効果素子が配設される領域における書込線の配線構造を表している。書込線 6 X、6 Y は、その交差領域では、書込用ワード線 6 X が曲折して書込用ビット線 6 Y と上下に平行となっており、この平行部分が環状磁性層 5 に内包されている。すなわち、この環状磁性層 5 の軸方向は、書込用ワード線 6 X、書込用ビット線 6 Y の延在方向であり、軸方向を横切る断面方向において閉じた環状となっている。

ここでは、平行となった書込用ワード線 6 X、書込用ビット線 6 Y の合成磁界を用いて第 2 の磁性層 3 の磁化を反転させるが、この誘導磁界の大きさは、書込用配線が交差する場合の合成磁界よりも大きい。そのため、書き込み動作を効率よく行うことができる。なお、書込線 6 X、6 Y をその交差領域にて平行とする

には、上記以外に、例えば第8図のように左右に平行としてもよい。

また、環状磁性層5は、高透磁率磁性材料から構成され、内包する書込線6X、6Yの電流によって生じる磁束を層内部に閉じ込めることにより、第2の磁性層3の磁化方向を効率よく変化させる機能を有している。この環状磁性層5は、図示したように断面が閉ループを描き、発生した誘導磁界が、断面と平行な面に沿って層内を還流するようになっている。これにより、環状磁性層5は、外部に漏洩磁束を生じさせない電磁遮蔽効果を有している。また、ここでは、第2の磁性層3に一面で接するように構成されているために、磁界を第2の磁性層3に伝えやすく、高い磁束密度でもって近接する第2の磁性層3の磁化方向を一層効率よく変えることができるようになっている。

なお、磁気抵抗効果素子12A(12B)の各々には、読み出し電流が、読出センシング用導線11から積層体に流れ込み、環状磁性層5から基板10へ通り抜けて流れるようになっている。よって、トンネル電流を流す非磁性層2を除いた積層体の各層、および非磁性導電層4、環状磁性層5には、導電性を有する材料が用いられる。第1の磁性層1、第2の磁性層3には、例えば、コバルト鉄合金(CoFe)が用いられ、その他単体のコバルト(Co)、コバルト白金合金(CoPt)、ニッケル鉄コバルト合金(NiFeCo)などを用いることができる。また、第1の磁性層1と第2の磁性層3は、磁化方向が互いに平行または反平行となる状態で安定化するため、互いの磁化容易軸を平行とすることが望ましい。

非磁性層2は、トンネル抵抗等を基にその厚みが決められる。一般に、TMR素子を用いた磁気メモリ素子では、トランジスタなどの半導体デバイスとのマッチングを図るため、トンネル抵抗は数 $10\text{ k}\Omega \cdot (\mu\text{m})^2$ 程度が適当とされる。しかし、磁気メモリデバイスにおける高密度化および動作の高速度化を図るためには、トンネル抵抗は、 $10\text{ k}\Omega \cdot (\mu\text{m})^2$ 以下、さらに好ましくは $1\text{ k}\Omega \cdot (\mu\text{m})^2$ 以下とすることが好ましい。そうしたトンネル抵抗値を実現するためには、非磁性層(トンネルバリア層)2の厚みは 2 nm 以下、さらに好ましくは 1.5 nm 以下とすることが望ましい。ただし、非磁性層2の厚みをあまり薄くすると、トンネル抵抗を低減することができる一方で、第1の磁性層1および第

2の磁性層3との接合界面の凹凸に起因するリーク電流が生じ、MR比が低下してしまうおそれがある。これを防止するため、非磁性層2の厚みは、リーク電流が流れない程度の厚みを有する必要がある、具体的には0.3nm以上の厚みであることが望ましい。

非磁性導電層4は、第2の磁性層3と環状磁性層5とを反強磁性結合させるように機能するものであり、例えば、ルテニウム(Ru)、銅(Cu)などが用いられる。また、環状磁性層5には、鉄(Fe)、ニッケル鉄合金(NiFe)、Co、CoFe、NiFeCo等を用いることができる。書込線6X、6Yによる磁界を環状磁性層5に集中させるために、環状磁性層5の透磁率はできるだけ大きいほうが好ましく、具体的には2000以上、より好ましくは6000以上である。

書込線6は、アルミニウム(Al)、銅(Cu)またはこれらの合金で構成され、絶縁膜によって互いに電氣的に絶縁されている。なお、書込線6は、タングステン(W)と上記材料の少なくとも1種からなるようにしてもよく、その他、チタン(Ti)、窒化チタン(TiN)、アルミニウム(Al)が順に積層された構造としてもよい。

なお、後の動作説明において詳述するが、記憶セル12においては、磁気抵抗効果素子12A、12Bの一方を低抵抗、他方を高抵抗として情報を記憶する。これは、2つの磁気抵抗効果素子12A、12Bからの出力を差動増幅して読み出すためにほかならない。よって、対をなす磁気抵抗効果素子12A、12Bは、抵抗値、磁気抵抗変化率、および第2の磁性層3の反転磁界の大きさが等しくなるように製造される必要がある。

磁気抵抗効果素子12A、12Bが形成される基板10の上には、エピタキシャル層9が形成され、さらにその上に導電層8(8A、8B)および絶縁層7が形成されている。導電層8は、絶縁層7を介して互いに絶縁された導電層8A、8Bからなる。磁気抵抗効果素子12A、12Bは、導電層8および絶縁層7の上面に形成されるが、それぞれ、その形成領域の少なくとも一部が導電層8A、8Bの形成領域と重なるように位置決めされる。よって、磁気抵抗効果素子12Aと磁気抵抗効果素子12Bとは、分離絶縁されている導電層8A、8Bにそれ

ぞれ個別に接合され、互いに電氣的に絶縁されている。すなわち、ここでは、磁気抵抗効果素子 12 A と磁気抵抗効果素子 12 B が、電氣的に非導通であるように配線がなされている。

また、ここでは、基板 10 を n 型シリコンウエハとする。一般に、n 型シリコンウエハには P (燐) の不純物拡散が施されており、基板 10 としては、P (燐) の高濃度拡散により n⁺ 型となっているものを用いる。これに対し、エピタキシャル層 9 は、P (燐) が低濃度拡散されて n⁻ 型となるようにする。また、導電層 8 には金属を用いる。このとき、n⁻ 型半導体であるエピタキシャル層 9 と、金属の導電層 8 とを接触させると、バンドギャップが生じてショットキーダイオードが形成される。これが、本実施の形態の読み出し回路における逆流防止用ダイオード 13 A, 13 B である。

逆流防止用ダイオード 13 A, 13 B は、読み出し電流が逆流し、基板 10 側から磁気抵抗効果素子 12 A, 12 B を通過して流れることを防止するために設けられている。なお、磁気抵抗効果素子 12 A, 逆流防止用ダイオード 13 A と、磁気抵抗効果素子 12 B, 逆流防止用ダイオード 13 B とは、互いに絶縁された状態にある。

〔読み出し回路の構成〕

第 9 図は、記憶セル群とその読み出し回路からなる回路系の構成図である。この読み出し回路系は、記憶セル 12 が 1 対の磁気抵抗効果素子 12 A, 12 B からなる差動増幅型である。ここでは、各記憶セル 12 の情報読み出しを、磁気抵抗効果素子 12 A, 12 B それぞれに流すセンシング電流 (センス用ビットデコード線 21 A, 21 B から磁気抵抗効果素子 12 A, 12 B それぞれに流入し、共通のセンス用ワードデコード線 31 に流出する電流) の差分値を出力として行うようになっている。

同図において、記憶セル群 104 のビット列 Y_n ごとの記憶セル 12 と、センスアンプ 106 B を含む読み出し回路の一部が、読み出し回路の繰り返し単位であるビット方向単位読出回路 80 (… , 80_n, 80_{n+1}, …) を構成しており、ビット列方向に並列に配置されている。ビット方向単位読出回路 80 の各々では、センス用ビットデコード線 21 A, 21 B が Y 方向アドレスデコーダ 106 A に

ビットデコード線 20 (… , 20_n, 20_{n+1}, …) を介して接続され、センスアンプ 106B が出力バッファ 102B に読み出し用データバス 112 を介して接続されている。なお、同図にはスペースが足りず、ビット方向単位読出回路 80 の全体を描くことができないため、2列で代表させて描いている。記憶セル群 104 についても同様で、ビット列 Y_n, Y_{n+1} の 2列で代表させている。

記憶セル群 104 には、X 方向に配列されるセンス用ワードデコード線 31 (以後、センスワード線と略称) と、Y 方向に配列される 1 対のセンス用ビットデコード線 21A, 21B (以後、センスビット線と略称) とによりマトリクス状の配線がなされている。個々の記憶セル 12 は、これらの交差位置に配設され、共通のセンスビット線 21A, 21B に並列接続されている記憶セル 12 がビット列 Y_n を構成し、共通のセンスワード線 31 にカスケード接続されている記憶セル 12 がワード列 X_n を構成している。1 つの記憶セル 12 では、磁気抵抗効果素子 12A, 12B のそれぞれは、一端が読出用センシング導線 11 (第 6 図) を介してセンスビット線 21A, 21B に接続され、他端が逆流防止用ダイオード 13A, 13B を介して共通のセンスワード線 31 に接続されている。

センスビット線 21A, 21B の一端側 (電源 V_{cc} 側) には、それぞれ、電流電圧変換用抵抗器 23A, 23B (以後、抵抗器 23A, 23B)、およびトランジスタ 22A, 22B のコレクターエミッタ間が直列に接続されている。このトランジスタ 22A, 22B は、ベース側にビットデコード線 20 が接続されており、ビットデコード線 20 から入力される選択信号の値 (ビットデコード値) に応じて開閉するスイッチング機能を備えている。

また、センスビット線 21A, 21B に接続された抵抗器 23A, 23B の電源 V_{cc} と反対側の端部における接続点からは、センスアンプ入力線 40A, 40B (以後、入力線 40A, 40B) が導出されている。ここで、抵抗器 23A, 23B は、センスアンプ 106B のバイアス抵抗として機能する。センスアンプ 106B は、ビット方向単位読出回路 80 につき 1 つ設けられ、それ自体は 1 対のセンスビット線 21A, 21B の間の電位差を取り込み、この電位差を増幅する差動増幅器として構成されている。各センスアンプ 106B は、入力線 40A, 40B により対応するセンスビット線 21A, 21B に接続されると共に、すべ

ては共通のセンスアンプ出力線 4 1 A, 4 1 B (以後、出力線 4 1 A, 4 1 B) にカスケード状に接続され、最後に読み出し用データバス 1 1 2 により出力バッファ 1 0 2 B に接続されている。なお、トランジスタ 2 2 A, 2 2 B、抵抗器 2 3 A, 2 3 B、およびセンスアンプ 1 0 6 B においては、対をなす素子同士の特性がよく揃っている必要がある。

センスワード線 3 1 の各々には、同じワード列 X_n (X_1, X_2, \dots) に配列された記憶セル 1 2 が接続されている (ただし、ここでは、記憶セル 1 2 とセンスワード線 3 1 との間に、逆流防止用ダイオード 1 3 A, 1 3 B が配設されている)。また、センスワード線 3 1 の接地側には、トランジスタ 3 3 のコレクターエミッタ間、並びに電流制限抵抗器 3 4 が直列接続されている。トランジスタ 3 3 は、ベース端子にワード列 X_n に対応するワードデコード線 3 0 ($\dots, 3 0_n, 3 0_{n+1}, \dots$) が接続され、X 方向アドレスデコーダ 1 0 8 A からベース入力される選択信号の値 (ビットデコード値) に応じて開閉するスイッチとして機能する。

また、ここでは、ダイオード 3 2, トランジスタ 3 3, 電流制限抵抗器 3 4 により定電流回路 1 0 8 B が構成されている。定電流回路 1 0 8 B は、センスワード線 3 1 を流れる電流を一定とする機能を有している。ダイオード 3 2 は、この場合、2 個のダイオードを直列に接続したものとなっている。

次に、以上のような構成の磁気メモリデバイスの動作を説明する。

〔記憶セルに対する書き込み動作〕

まず、この記憶セル 1 2 における情報記憶方式について説明する。

記憶セル 1 2 では、1 対の磁気抵抗効果素子 1 2 A, 1 2 B (第 6 図) の第 1 の磁性層 1 は共に右方向に磁化が固定されているが、第 2 の磁性層 3 は互いに反平行となる向きに磁化される。このため、磁気抵抗効果素子 1 2 A, 1 2 B においては、それぞれの第 1 の磁性層 1 と第 2 の磁性層 3 の磁化方向の組み合わせは、必ず (反平行, 平行) か、(平行, 反平行) となる。第 1 0 図, 第 1 1 図は、これらの各状態を表している。ここでは、それぞれの状態に 2 値情報「0」, 「1」を対応させ、記憶セル 1 2 をいずれかの状態とすることで、1 つの記憶セル 1 2 に 1 ビットの情報を記憶する。また、磁気抵抗効果素子 1 2 A (1 2 B)

は、第1の磁性層1と第2の磁性層3の磁化方向が平行であれば、大きなトンネル電流が流れる低抵抗状態となり、反平行であれば小さなトンネル電流しか流れない高抵抗状態となる。つまり、対をなす磁気抵抗効果素子12A、12Bは、必ず一方が低抵抗で、他方が高抵抗となって情報を記憶する。

これら2つの記憶状態は、磁気抵抗効果素子12A、12Bのそれぞれの第2の磁性層3の磁化方向を互いに反平行とすることで書き込まれるが、そのためには、書込線6X、6Yに対し、磁気抵抗効果素子12Aと磁気抵抗効果素子12Bとで相対的に逆向きの電流を流す。

例えば、ビット列Y_n、ワード列X_nの記憶セル12に、第10図に示した記憶状態を書き込むには、第12図に示したように書き込み電流を流せばよい。このように、カレントドライブ108Cからは、ドライブポイントA→Bの向きで書込用ワード線6X_nに電流を流し、カレントドライブ106Cからは、ドライブポイントB→Aの向きで書込用ビット線6Y_nに電流を流すと、書込用ワード線6X_nの曲折により、磁気抵抗効果素子12A、12Bの領域では、互いの向きが揃い、かつ、磁気抵抗効果素子12Aと磁気抵抗効果素子12Bとでは相対的に逆向きとなった書き込み電流が流れる。

この書き込み電流により、磁気抵抗効果素子12A、12Bのそれぞれの環状磁性層5には、第10図に示したように互いに逆向きに還流する磁界が誘導され、第2の磁性層3との対向面における磁化（つまり誘導磁界の向き）は互いに反平行となる。磁気抵抗効果素子12A、12Bそれぞれの第2の磁性層3の磁化は、この外部から与えられる磁界の向きに従って反平行となり、その磁化状態が環状磁性層5との反強磁性結合により固定される。この場合、磁気抵抗効果素子12Aが高抵抗、磁気抵抗効果素子12Bが低抵抗となっている。

第11図に示した記憶状態を書き込むには、第13図のように、磁気抵抗効果素子12A、12Bに、この場合と逆向きに電流を流すようにすればよい。記憶セル12は、この場合の磁気抵抗効果素子12Aと磁気抵抗効果素子12Bが入れ替わったように動作し、書き込みが行われる。

なお、ここでは、誘導磁界は環状磁性層5の内部に閉じ込められることから、第2の磁性層の磁化反転に寄与する実効的な磁界強度は、従来に比して大きくな

る。その結果、第2の磁性層3の磁化反転を、必要十分な磁界強度で行い、その磁化を所定の方向に対し、十分な大きさとなるように揃えることができる。これにより、効率よい書き込み動作ができる。同時に、誘導磁界は、書き込み対象の素子12A（12B）の外に漏れないために、隣接する記憶セル12においては、第2の磁性層3の磁化方向が外部擾乱磁界により乱されるおそれが低減され、一旦書き込まれた情報が予期せず消されたり、書き換えられたりすることが防止される。よって、情報を確実に書き込むことができる。

次に、こうした記憶方式に基づいて行う情報の書き込み方法を説明する。

この磁気メモリデバイスでは、まず、アドレスバッファ101が外部データ端子A0～A20に入力される選択信号の電圧を取り込んで内部バッファで増幅し、アドレス線105、107を通じてX方向、Y方向のアドレスデコーダ108A、106Aに伝達する（第1図）。同時に、データバッファ102が外部データ端子D0～D7に入力されるデータ信号の電圧を取り込んで内部バッファで増幅し、書き込み用データバス110、111を通じてX方向、Y方向のカレントドライブ108C、106Cに伝達する。

一方、制御ロジック部103（第1図）からは、第1および第2の定電流回路に対してパワーセーブ信号が出力される。すなわち、カレントドライブ108C、106Cにおいて、パワーセーブ信号が、定電流回路制御端子91（第5図）に“Low”の状態を入力されているとき、第1および第2の定電流回路（トランジスタQ8および抵抗器R4、並びにトランジスタQ7および抵抗器R3）、ひいては書き込み回路系の全体は休止状態となる。一方、パワーセーブ信号が“High”の状態を入力されるとき、定電流回路は、即、起動動作が可能なアクティブ状態となり、どの回路選択スイッチSW1、SW2を介してトランジスタQ8、Q7に導通することになるか、待機することになる。

アドレスデコーダ108A、106Aは、選択信号に対応するデコード値を、対応するワードデコード線16X、ビットデコード線16Y（第5図）に送出する。例えばデコード値はn番目のワードデコード線16X_n、ビットデコード線16Y_nに送出される。これにより、信号が入力されるカレントドライブ108C、106Cでは、回路選択スイッチSW1、SW2がオンされ、駆動対象とし

て選択される。

また、カレントドライブ108C、106Cそれぞれのデータ信号線14には、データバッファ102からのデータ信号がそれぞれ入力され、リファレンス信号線15には、これを反転させた信号が入力される。これにより、カレントドライブ108C、106Cは、書き込む2値情報に応じて、書込用ワード線6X、書込用ビット線6Yに流す電流の向きを決定する。

(カレントドライブの動作)

書き込み回路系の具体的動作は、第10図、第12図に例示した記憶状態に即して説明する。第14A図ないし第14F図は、選択されたカレントドライブ108Cにおけるタイミングチャートを示している（この動作時にはトランジスタQ7、Q8は常に導通状態であるため、図示していない）。なお、以下の動作過程は、ほぼ同時に引き起こされるが、段階的に説明するため、各過程ごとに微小時間 $\Delta t1$ 、 $\Delta t2$ が経過するものとしている。また、第15図は、駆動対象として選択されたn番目のワード列Xnに対応するカレントドライブ108Cを示しており、そのカレントドライブ108Cにおける各トランジスタのスイッチング状態を表している。

カレントドライブ108Cでは、データ信号線14に“Low”のデータ信号が入力され、リファレンス信号線15にはその反転信号である“High”のリファレンス信号が入力される。これにより、まず、トランジスタQ3のベース端子に“Low”の電圧レベル（第14A図）が、トランジスタQ4のベース端子に“High”の電圧レベル（第14B図）が与えられ、トランジスタQ3はオフ状態、トランジスタQ4はオン状態となる。

トランジスタQ4がオン状態となると、トランジスタQ6では、ベース電圧が降下（第14D図）し、エミッタ端子の電位と変わらなくなる。これにより、トランジスタQ6はオフ状態となる。一方、トランジスタQ3はオフ状態であるために、トランジスタQ5では、ベース端子はエミッタ端子に対して相対的に高い電圧が掛かることになる（第14C図）。これにより、トランジスタQ5はオン状態となる。

さらに、トランジスタQ5がオン状態となる結果、トランジスタQ2のベース

電圧は降下（第14F図）し、トランジスタQ6がオフ状態であることから、トランジスタQ1のベース電圧は相対的に高くなる（第14E図）。これにより、トランジスタQ1は、より多くの電流を流すという意味でのオン状態、トランジスタQ2は、より少ない電流しか流れないという意味でのオフ状態となる。つまり、実際にはトランジスタQ5、Q6のオン／オフがベース端子の電圧レベルに与える影響により、トランジスタQ1は多くの電流を流すのに対し、トランジスタQ2はわずかな電流しか流さないように動作する。

このように、データ信号とリファレンス信号入力により、まず第2の差動スイッチ対であるトランジスタQ3、Q4が動作し、その動作状態に応じて第3の差動スイッチ対であるトランジスタQ5、Q6、第1の差動スイッチ対であるトランジスタQ1、Q2が次々と差動動作することによって、第1の差動スイッチ対（Q1、Q2）のオン／オフと、第2の差動スイッチ対（Q3、Q4）のオン／オフが互いに相補的な組み合わせとなる。また、いずれがオンでいずれがオフかは、データ信号値に応じて選択されている。

トランジスタQ1～Q6の一連の動作の結果、電源Vccからの電流は、トランジスタQ1、Q2のうちオン状態であるトランジスタQ1の側を流れ、ドライブポイントAに流入する。トランジスタQ3はオフ状態であるため、この電流は、ドライブポイントAから書込用ワード線6Xnに流れ、ドライブポイントBから流出し、オン状態であるトランジスタQ4を通過して接地側へ流れ込む。

すなわち、第1の差動スイッチ対ではトランジスタQ1がオン、トランジスタQ2がオフとなることで、ドライブポイントAが、書込用ワード線6Xnの電流流入側に選択されている。一方、第2の差動スイッチ対では、第1の差動スイッチ対とは相補的にトランジスタQ3がオフ、トランジスタQ4がオンとなることで、反対側のドライブポイントBが、書込用ワード線6Xnの電流流出側に選択されている。このようにして、カレントドライブ108Cから書込用ワード線6Xnに対し、ドライブポイントA→Bの向きの書き込み電流が供給される。

また、以上の動作によってわかるように、第1および第2の差動スイッチ対（Q1～Q4）および書込用ワード線6Xnで構成される書き込み電流の経路と、第3の差動スイッチ対（Q5、Q6）に流れる電流の経路とは、互いに独立して

いる。また、書き込み電流の経路は回路選択スイッチSW1，トランジスタQ8，抵抗器R4を介して接地に導かれ、第3の差動スイッチ対の電流経路は、回路選択スイッチSW2，トランジスタQ7，抵抗器R3を介して接地に導かれている。

ここで、トランジスタQ8，抵抗器R4の経路へ流入する書き込み電流の大きさIは、抵抗器R4の抵抗値をRcとすれば、次式で与えられる。

$$I(A) = (Vb - \phi) (Volt) / Rc (\Omega)$$

VbはトランジスタQ8のベース端子に入力される電圧レベル、 ϕ はトランジスタQ8のベース－エミッタ間の順方向電圧である。これらが固定値であることから、抵抗値Rcが決まれば流れる電流は一定値となること、抵抗値Rcをパラメータとして電流値は一意に決めることができることがわかる。このように、トランジスタQ8は、スイッチとして働くだけでなく、抵抗器R4と共に、電流を直接の制御対象とした定電流回路として作用する。

これにより、書き込み電流は、書込用ワード線6Xnより流出した経路上にて値が固定されることから、書込用ワード線6Xnにおいては常に一定値で流れるものとなる。

なお、本実施の形態のカレントドライブ108Cでは、書込用ワード線6Xに流れる電流は常に一定値に制御されているので、書込用ワード線6Xの抵抗値が変動すれば、ドライブポイントA，ドライブポイントB間の電位差が連動して変化することになる。この例のように駆動した場合には、書込用ワード線6Xの抵抗値が大きいほどドライブポイントAの電位は高く、ドライブポイントBの電位は低くなり、書込用ワード線6Xに流れる電流量を一定に保つように動作しようとする。このとき、ドライブポイントAの電位は、トランジスタQ1がオン、トランジスタQ3がオフなので、電源電圧に近く、ドライブポイントBの電位は、トランジスタQ2がオフ、トランジスタQ4がオンなので、トランジスタQ4のエミッタ電位に近い。すなわち、一旦データ信号およびリファレンス信号が入力され、トランジスタQ3，Q4のエミッタ電位が決まれば、ドライブポイントA，Bの各電位は、データ信号，リファレンス信号等の入力信号電圧にはよらずに、トランジスタQ1～Q6の動作に伴って電源電圧からエミッタ電位までの間の値に決まる。よって、ドライブポイントA，B間の電位差は、広範な変動が可能で

ある。

こうした電位変動は、同時に、トランジスタQ5、Q6のベース電圧に影響する。トランジスタQ5はより多くの電流を流し、トランジスタQ6はより少ない電流を流すようになり、いわば、この差動対の開閉バランスがより大きく傾くようになる。その結果、トランジスタQ2は、ベース電位が下がり、ドライブポイントBと接続されたエミッタ側で電位が低下していてもオフ状態を保持することができる。同様に、トランジスタQ1は、ベース電位が上がり、ドライブポイントAと接続されたエミッタ側で電位が上昇していてもオン状態を保持することができる。このように、ドライブポイントA、B間の電位差（書込用ワード線6Xの抵抗値）が変動したとしても、第3の差動スイッチ対（Q5、Q6）が差動増幅器として働き、第1の差動スイッチ対（Q1、Q2）の動作状態を、電位変動分に応じて自動的に微調整するため、第1ないし第3の差動スイッチ対（Q1～Q6）全体の開閉バランスを適正に保ち続けることができ、上述のドライブポイントA、Bの広範な電位変動が補償されるようになっている。

このようにして、カレントドライブ108Cは、ドライブポイントA、Bに両端を引き込んだ書込用ワード線6X_nに対し、一端を電流流入側、他端を流出側として選択する電流方向制御を行うと共に定電流制御を行い、ドライブポイントA→Bの方向に一定電流を安定的に供給する。なお、こうした作用は、その他の書込線6X、6Yに対するカレントドライブ108C、106Cの各々についても同様である。

一方、この場合に選択されたカレントドライブ106Cでは、書込用ビット線6Y_nに対し、ドライブポイントB→Aの向きに電流を流す。それには、データ信号線14に“High”のデータ信号を、リファレンス信号線15に“Low”のリファレンス信号を入力すればよい。これにより、第1ないし第3の差動スイッチ対（トランジスタQ1～Q6）は、上記カレントドライブ108Cの場合とは反対にスイッチングし、書き込み電流は、トランジスタQ2からドライブポイントBに流入し、書込用ワード線6Y_nを流れてドライブポイントAから流出して、トランジスタQ3に流れ込む。

こうして、カレントドライブ108C、106Cによって、書込用ワード線6

X_n , 書込用ビット線 6 Y_n に対し、第 12 図に示した方向の書き込み電流が供給される。これにより、ビット列 Y_n , ワード列 X_n の記憶セル 12 が選択され、この記憶セル 12 には、供給される書き込み電流の方向に従い、第 10 図の状態 で表されるビットデータが書き込まれる。このときの書き込み電流は、必ず所定 値となることから、書き込み動作は安定して行われる。

第 11 図に示した記憶セルのもう 1 つの記憶状態は、第 13 図に示したように、磁気抵抗効果素子 12A, 12B それぞれにおける書き込み電流を、前述の第 12 図の場合とは反対方向に供給することで書き込まれる。すなわち、カレントドライブ 108C は、書込用ワード線 6 X_n に対し、ドライブポイント B→A の向きに電流を流し、カレントドライブ 106C は、書込用ビット線 6 Y_n に対し、ドライブポイント A→B の向きに電流を流すようにする。

そのためには、カレントドライブ 108C のデータ信号線 14 には “High” のデータ信号を、リファレンス信号線 15 には “Low” のリファレンス信号を入力すればよい。これにより、カレントドライブ 108C のトランジスタ Q1～Q6 は、前述の場合とは反対の状態にスイッチングし、書き込み電流はトランジスタ Q2 から書込用ワード線 6 X_n を通ってトランジスタ Q3 に流れ込む。一方のカレントドライブ 106C は、このときのカレントドライブ 108C とは逆に、データ信号線 14 に “Low” のデータ信号を、リファレンス信号線 15 に “High” のリファレンス信号を入力して駆動させる。これにより、記憶セル 12 では、磁気抵抗効果素子 12A, 12B の第 2 の磁性層 3 の磁化方向が互いに向き合うようにして反平行となる。

〔読み出し動作〕

この磁気メモリデバイスでは、記憶セル 12 に書き込まれた情報は以下のようにして読み出される（第 9 図参照）。

各記憶セル 12 は、磁気抵抗効果素子 12A, 12B が 2 通りの反平行磁化のいずれかとなって情報が記憶された状態にある。情報を読み出す記憶セル 12 は、そのアドレスに対応して、Y 方向はビットデコード線 20、X 方向はワードデコード線 30 に選択信号が入力されることで選択される。例えば、選択する記憶セル 12 が Y_n 列、 X_n 行にある場合、 Y_n 番目のビットデコード線 20n と X_n 番

目のワードデコード線 30n に信号を入力する。

ビットデコード線 20n における電圧レベルを "High" とすると、トランジスタ 22A, 22B が導通状態となり、記憶セル 12 の Yn 番目の列方向ブロック (ビット列 Yn) にセンシング電流が流れる。センシング電流は、センスビット線 21A, 21B を電源 Vcc 側からその反対側に向かって流れ下る。一方、ワードデコード線 30n における電圧レベルを "High" とすると、トランジスタ 33 が導通状態となり、記憶セル 12 の Xn 番目の行方向ブロック (ワード列 Xn) に電流が流れることが許される。

よって、センシング電流は、Yn 番目のセンスビット線 21A, 21B から、それぞれ磁気抵抗効果素子 12A とダイオード 13A, 磁気抵抗効果素子 12B とダイオード 13B を通り、共に Xn 番目のセンスワード線 31 へと流れ込み、さらに、定電流回路 108B を構成するトランジスタ 33 のコレクターエミッタ間を通り、抵抗器 34 から接地へと抜ける。

情報の読み出しは、記憶セル 12 の磁気抵抗効果素子 12A, 12B それぞれに流れる電流値の差分を検出することによって行われる。これらに流れる電流は、センスビット線 21A, 21B を流れるセンシング電流にほぼ等しく、センシング電流の値は、センスビット線 21A, 21B に直列接続された抵抗器 23A, 23B の電圧降下によって電圧に変換して検出することができる。そこで、ここでは読み出し信号として、抵抗器 23A と抵抗器 23B の電圧降下をそれぞれ入力線 40A, 40B から取り出し、その差分を検出する。このように、2つの磁気抵抗効果素子 12A, 12B を用い、それぞれの出力値の差分を取り出すことで、記憶セル 12 としては、雑音が除去された大きな出力値が得られる。

さらに、入力線 40A, 40B から取り出す電位差をセンスアンプ 106B で差動増幅することにより、値が一層大きく、かつ S/N の良い出力が得られる。出力線 41A, 41B には、各ビット方向単位読出回路 80 (… , 80n, 80n+1, …) のセンスアンプ 106B がカスケード接続されているが、対応するセンスアンプ 106B がビットデコード線 20 の選択と同時にアクティブとなり、そのコレクタ出力だけが出力線 41A, 41B に送出される。

センスアンプ 106B の出力は、出力線 41A, 41B、読み出し用データバ

ス 1 1 2 を経由して、最終的には出力バッファ 1 0 2 B に入力される。出力バッファ 1 0 2 B は、入力された信号電圧を、増幅すると共に 2 値の電圧信号として外部データ端子 D 0 ~ D 7 から出力する。

この読み出し動作において、選択された記憶セル 1 2 に対するセンシング電流の大きさは、定電流回路 1 0 8 B により一定範囲内に収められる。すなわち、センスワード線 3 1 に流れる電流、もといセンスビット線 2 1 A とセンスビット線 2 1 B、もしくは磁気抵抗効果素子 1 2 A と磁気抵抗効果素子 1 2 B の双方を流れる電流の総和が、一定範囲内の値をとる。これにより、センスビット線 2 1 A、2 1 B の各電流値は、一定に規格化された電流量を磁気抵抗効果素子 1 2 A、1 2 B の抵抗比に応じて分配したものとなる。そのため、磁気抵抗効果素子 1 2 A、1 2 B の抵抗値がばらついていたとしても、センスビット線 2 1 A、2 1 B の各々における電流のぶれは総電流値に応じて常に一定の範囲内に押さえ込まれ、安定した差動出力が得られる。

また、各磁気抵抗効果素子 1 2 A、1 2 B の電流経路上に設けられているダイオード 1 3 A、1 3 B は、電流がセンスワード線 3 1 から磁気抵抗効果素子 1 2 A、1 2 B へと逆流することを防止している。よって、磁気抵抗効果素子 1 2 A (1 2 B) を逆流する回り込み電流成分の発生経路が遮断され、読み出し信号の S/N 比向上に寄与する。

このように本実施の形態においては、カレントドライブ 1 0 8 C、1 0 6 C を、ドライブポイント A、B に書込線 6 X、6 Y の両端を引き込み、このループ上に (1) データ信号に応じた向きに方向を切り換えて電流を流すと共に、(2) その電流量を、書込線 6 より流出後に定電流制御するように構成したので、書込線 6 X、6 Y には、双方向に、その抵抗ばらつきによらず一定の大きさで電流を供給することができる。よって、この磁気メモリデバイスでは、各記憶セル 1 2 に対する情報書き込みには常に一定電流が用いられることから、十分な強度の誘導磁界によって確実に書き込むことや、隣接する記憶セル 1 2 への漏洩磁界を設定範囲内に抑えることを、制御性よく行い、安定した書き込み動作を行うことができる。なお、記憶セルの高集積化に伴って書込線 6 が微細化されるにつれて、その製造上の抵抗ばらつきは一層大きくなることが予想され、今後は、書き込み電

流に対する抵抗ばらつきの影響がより顕在化する傾向にある。このカレントドライブ108C, 106Cは、そうした場合に対応可能であり、一層よくその効果を発揮することができる。

なお、カレントドライブ108C, 106Cを、トランジスタQ1～Q6からなる各差動対の動作により電流方向制御を行うようにしたので、書き込み電流は従来とは異なる方式の方向制御を受ける。特に、ここでは、トランジスタQ5, Q6を設け、これらが差動増幅器として動作してトランジスタQ1, Q2の開閉状態を制御するようにしたので、トランジスタQ1, Q2はドライブポイントA, B間の電位差によく追従した強度でスイッチング動作を行う。しかも、トランジスタQ1, Q2は、トランジスタQ5, Q6によりドライブポイントA, B間の広範な電位変動に追従することから、書込線6の抵抗値が大きくばらついたとしても、書込線6に対する電流量を一定に保ちつつ、電流方向制御のための開閉動作のバランスも保つことができる。

また、カレントドライブ108Cおよびカレントドライブ106Cを、主としてトランジスタQ1～Q8, 抵抗器R1～R4だけで構成するようにしたので、従来に比べて書き込み電流の供給系統を極めて簡素に構成することができる。よって、カレントドライブ108C, 106Cは、各ワード列Xn, ビット列Ynごとに設けたとしても大きな回路スペースを必要としないで済む。

さらに、電源(Vcc)から接地に流れ落ちる電流の経路は、書き込み動作の対象となるカレントドライブ108C, 106Cにおいて書き込み時にのみ形成されるので、書き込み動作をする回路部分以外での不要な電力消費を削減することができる。

特に、定電流回路を、複数の電流方向制御部54について共通化するようにしたので、定電流回路を各電流方向制御回路54ごとに独立に設けた場合と比べて、回路部品の低減化を図ることができる。またそれに応じて、定電流回路で生じる不要な電力消費を削減することができる。また、各電流方向制御部54が同じ定電流回路を共用することで、その特性ばらつきが解消され、各カレントドライブ108C, 106Cに流れる電流の総量が統一される。従って、各書込線6に流れる書き込み電流のばらつきを抑えて均一化を図ることができる。

また特に、多数ある書込線 6 に対して、1つの定電流回路を設けるようにした場合、定電流回路を構成するトランジスタ Q 8、Q 7 のベース端子に定電流回路制御端子 9 1 を接続し、パワーセーブ信号を入力するようにしたので、トランジスタ Q 8、Q 7 の開閉動作により、各書込線回路が動作可能なアクティブ状態か、休止状態かのいずれかの状態に制御することができる。この場合、休止状態時には、その定電流回路を共有するすべてのカレントドライブ回路に電流が流れないようにすることができるので、消費電力低減に寄与することができる。

以上のように、本実施の形態によれば、書き込み用の回路部品の低減化を図ることができると共に、各書込線 6 に流れる書き込み電流のばらつきを小さくでき、かつ、書き込みのための消費電力の低減化を図ることができる。

〔変形例〕

以下に、上記実施の形態の変形例、主としてカレントドライブの変形例について説明する。

（変形例 1）

第 16 図は、カレントドライブの構成の第 1 の変形例を示している。この変形例 1 に係るカレントドライブは、第 5 図に示したカレントドライブ 108C、106C の構成において、定電流回路（トランジスタ Q 8、抵抗器 R 4）に、バンドギャップリファレンスを利用した定電圧素子を追加したものである。具体的には、定電圧素子として、ダイオード D 1 を、トランジスタ Q 8 のベース側と接地との間に設けている。ダイオード D 1 は、例えば図示したように直列に接続された 2 つのダイオードで構成され、そのバンドギャップリファレンスを利用して、定電流回路制御端子 9 1 からの制御信号（パワーセーブ信号）の入力時における、トランジスタ Q 8 のベース電圧を一定電圧とする機能を有している。

トランジスタ Q 8 にベース入力される信号値が一定である場合にはこうした定電圧素子は不要であるが、入力される信号値の安定度が保証されていない場合には、ダイオード D 1 のようなバンドギャップリファレンスを利用した定電圧素子を追加することで、トランジスタ Q 8 のベース電圧を積極的に固定化することができ、そのコレクターエミッタ間における定電流制御を強化することができる。

（変形例 2）

第17図は、カレントドライブの構成の第2の変形例を示している。この変形例2に係るカレントドライブは、第16図に示した変形例1に係るカレントドライブの構成において、さらに、書込選択信号線90が追加されている。書込選択信号線90は、各回路選択スイッチSW1, SW2に接続されている。各回路選択スイッチSW1, SW2には、この書込選択信号線90を介して、書込モードであることを示す書込選択信号が送出される。

すなわち、この変形例2に係るカレントドライブは、各回路選択スイッチSW1, SW2が、ワードデコード線16X（ビットデコード線16Y）からの回路選択信号（デコード信号）と、書込選択信号線90からの書込選択信号とに基づいて開閉制御されるようになっている。書込選択信号線90は、制御ロジック部103（第1図）に接続されており、書込選択信号は制御ロジック部103から送出される。制御ロジック部103は、磁気メモリデバイスをアクティブにするか否かを制御するチップセレクト信号（CS）と、読み出し／書き込みを切り換えるための書き込み許可信号（WE）との論理和をとった信号を、書込選択信号として送出する。

このように、本変形例では、各回路選択スイッチSW1, SW2が、回路選択信号と書込選択信号との2つの信号に基づいて開閉制御される。第18図は、このような2つの信号に基づいて開閉制御を行うためのスイッチの構成例を示している。また、第19図は、入力信号に対応したスイッチの動作状態を示している。なお、以下では第1の回路選択スイッチSW1の構成を基本にして説明するが、第2の回路選択スイッチSW2についても同様である。

このスイッチは、ベース端子に書込選択信号線90が接続されたトランジスタ461と、ベース端子にワードデコード線16X（ビットデコード線16Y）が接続されたトランジスタ462とから構成されている。このうち、トランジスタ462のコレクターエミッタ間が、電流方向制御部54におけるトランジスタQ3, Q4のエミッタ端子と定電流回路におけるトランジスタQ8との間に接続されている。さらに、トランジスタ461のコレクタ端子は電源（Vcc）に接続され、そのエミッタ端子は、トランジスタ462のエミッタ側に接続されている。

このスイッチでは、トランジスタ461のベースの入力電圧が“High”の

ときの電圧値 V_1 （書込選択信号の電圧値）と、トランジスタ 462 のベースの入力電圧が “High” のときの電圧値 V_2 （回路選択信号の電圧値）とが、 $V_1 - V_2 > 0.3 \text{ (V)}$ の関係にあるように設定されている必要がある。これらの電圧値の調整は、ここではこのスイッチの前段で行われているものとし、詳細については説明の簡便のために省略する。

このスイッチでは、トランジスタ 461 のベース電圧が “Low” のときは、トランジスタ 461 は遮断状態となることから、トランジスタ 462 の動作、つまりトランジスタ 462 に入力される信号値に応じてスイッチとしての導通／遮断が決まる。

一方、トランジスタ 461 のベース端子に “High” が入力されるときは、導通したトランジスタ 461 の動作が支配的となり、トランジスタ 462 のコレクター－エミッタ間には、入力信号のいかんに関わらず電流は流れないようにになっている。つまり、この場合には、スイッチとしては遮断状態となる。トランジスタ 461 が導通すると、そこにはトランジスタ 462 に流す電流よりも大きな電流が流れる（例えば、 $V_1 - V_2 > 0.3 \text{ (V)}$ ）。また、電源（ V_{cc} ）から各トランジスタ 461、462 までの経路をたどると、トランジスタ 461 側はトランジスタ 462 側に比べて圧倒的に抵抗値が低いことがわかる。従って、トランジスタ 462 に “High” が入力されたとしても、電源（ V_{cc} ）から供給される電流はトランジスタ 462 ではなく、トランジスタ 461 に流れる。また、その場合に、接点の電位（トランジスタ 461、462 の共通のエミッタ電圧）は、 V_1 よりトランジスタ 461 のベース－エミッタ間の順方向電圧を引いた値となり、その結果、トランジスタ 462 のベース－エミッタ間に掛かる電圧は、トランジスタ 462 のベース－エミッタ間の順方向電圧より 0.3 V 低くなり、トランジスタ 462 には電流が流れ難くなっている。

このように、このスイッチは、トランジスタ 461 に “Low” が入力され、かつ、トランジスタ 462 に “High” が入力されるときにのみ、導通する（第 19 図参照）。従って、このスイッチの構成例では、書き込みを指示するときには書込選択信号は “Low” に設定される。

この変形例 2 に係るカレントドライブでは、制御ロジック部 103（第 1 図）

から、“High”レベルのパワーセーブ信号が、定電流回路制御端子91に入力されると、トランジスタQ8、Q7がオンされ、定電流回路がアクティブ状態となる。このようなアクティブ状態において、アドレスデコーダ108A、106A（第1図）は、アドレスデコード値に対応する回路選択信号、ワードデコード線16X、ビットデコード線16Y（第5図）が1つ選択される。さらに、制御ロジック部103からは、書込選択信号線90を介して、書込モードであることを示す書込選択信号が送出される。これにより、選択信号と書込選択信号とに基づいて回路選択スイッチSW1、SW2がオンされ、その回路選択スイッチSW1、SW2が属するカレントドライブが駆動対象として選択される。

このように、本変形例に係るカレントドライブによれば、回路選択スイッチSW1、SW2を、回路選択信号（デコード信号）だけでなく書込選択信号との論理和をとって動作させるようにしたので、書き込み回路系は回路選択信号により選択され、かつ、書込選択信号による書き込み指令がある場合にのみ動作可能となり、さらに選択されたワード列X_n、ビット列Y_nに対応する回路系だけを動作させることができる。さらに、カレントドライブ全体として、書込選択信号および回路選択信号に加えてパワーセーブ信号との3制御指令で動作する構成としたので、これら3つの制御信号がもつ条件をすべて満足しないと動作可能とならない。従って、必要な条件が揃わない限り極力休止状態とされ、漏れ電流による電力消費を大幅に削減することができる。

（変形例3）

次に、カレントドライブの第3の変形例を説明する。第17図に示した変形例2に係るカレントドライブでは、各電流方向制御部54ごとに回路選択スイッチSW1、SW2が設けられていたが、本変形例では、複数の電流方向制御部54について回路選択スイッチSW1、SW2の機能をそれぞれ、1つのスイッチにまとめるようにしたものである。

第20図は、このようなスイッチの構成例を示している。なお、以下では第18図に示したスイッチと同様、第1の回路選択スイッチSW1の構成を基本にして説明するが、第2の回路選択スイッチSW2についても同様である。なお、以下では第18図に示したスイッチと同様の機能を有する部分には、同一の符号を

付し適宜説明を省略する。

第20図に示したスイッチにおいて、トランジスタ462 (… , 462_n, 462_{n+1}, …) は、各電流方向制御部54に対応して複数設けられ、それぞれがワードデコード線16X (ビットデコード線16Y) のベース端子に接続されている。一方、書込選択信号線90に接続されたトランジスタ461は、1つだけ設けられている。これらのトランジスタ461、462は、エミッタ側がすべて共通接続されて並列するように構成されており、複数のトランジスタ462 (… , 462_n, 462_{n+1}, …) がトランジスタ461を共用するようになっている。

このスイッチは、第18図に示したスイッチと同様、第19図に示したように動作する。すなわち、トランジスタ461に書込選択信号として“Low” (書き込み指令) が入力され、トランジスタ462 (… , 462_n, 462_{n+1}, …) のいずれかに“High”レベルの回路選択信号 (デコード信号) が入力されると、選択されたトランジスタ462が導通する。例えば、ワードデコード線16X_nよりデコード値X_nが入力されると、トランジスタ462_nのみが導通し、ビット列X_nに対応するカレントドライブがアクティブ化される。トランジスタ461に“High”が入力されたときには、トランジスタ462のいずれも、デコード値が入力されたとしても遮断されたままとなる。

なお、本発明は、上記実施の形態には限定されず種々の変形実施が可能である。例えば、上記実施の形態の磁気メモリデバイスでは、カレントドライブ108C、106Cが共に本発明の書込電流駆動回路として構成されているが、このようにすべての電流供給回路に本発明の書込電流駆動回路を適用しなくともよく、少なくともその一部に用いられていればよい。例えば、X方向とY方向の電流供給回路のうち、いずれか一方の側に用いることも考えられる。なお、書込線6X、6Yは、カレントドライブ108C、106Cに両端が接続されるためにU字状配線となっていたが、これ以外の構成をとる電流供給源に接続される書込線は、当然、U字状である必要はなく、従来どおり一端で接続され、他端は接地されていてよい。

そのような具体例を、第21図に示す。この場合、X方向の書き込み回路系は、実施の形態同様にカレントドライブ108CとU字状配線の書込用ワード線6X

の組み合わせからなるが、Y方向の回路系は、従来の電流供給回路同様に構成されたY方向カレントドライブ121と、これに一端で接続され、他端は接地されている一直線状の書込用ビット線122からなる。

なお、この書込用ワード線6Xは、往路・復路ともに書込用ビット線122との交差領域で曲折しており、各交差領域に磁気抵抗効果素子123が設けられている。このように、書込用ワード線6Xの往路・復路ともに磁気抵抗効果素子を配すると、磁気抵抗効果素子を倍の密度で集積できる。これら磁気抵抗効果素子123は、個々を1記憶セルとして1単位情報を担うように動作させることもできるが、2つで1つの記憶セルとして（例えば、実施の形態に説明したようにX方向に隣接する2つで1セルとして）動作させることも可能である。

このように、本発明の磁気メモリデバイスにおいては、本発明のカレントドライブに対して書込線6が両端で接続されることを除けば、いかなる変形実施も可能である。また、具体例で示したように、本発明のカレントドライブから電流供給を受ける書込線6は、両端で接続されて閉ループを形成している限りにおいて変形が可能であり、記憶セル領域における配線形状はどのようなものであっても構わない。例えば、書込線6は、必ずしもU字状でなくともよく、磁気抵抗効果素子の形成領域において互いに平行とする場合だけでなく、従来どおり互いに直交する場合など、これ以外の配線構造をとることも可能である。

本発明の書込電流駆動回路については、変形例を挙げて説明したように、電流方向制御部、電流量制御部に相当する回路部分の具体的な構造は、実施の形態に限定されず、その機能を具現化するものであればよい。なお、上記実施の形態では、カレントドライブ108C、106Cをバイポーラトランジスタで構成するようにしたが、本発明のカレントドライブは、これに限定されず、MOSFETもしくはCMOS等の半導体素子で構成することが可能である。

また、磁気抵抗効果素子12A、12Bは、対をなして1単位情報を担う記憶セル12を構成するものとしたが、個々の素子が1単位情報を担うようにしてもよい。また、磁気抵抗効果素子の構成も実施の形態で説明したものと同一である必要はなく、環状磁性層を備えたものでなくともよい。さらに、実施の形態では、磁気抵抗効果素子12A、12BをTMR素子としたが、これをGMR素子で置

き換えることもできる。その場合の素子は、非磁性層 2 を絶縁層から非磁性金属層に替えることを除いては、磁気抵抗効果素子 1 2 A (1 2 B) と同様とすることができる。このように、本発明の磁気抵抗効果素子には公知のあらゆる素子構造が適用可能であり、磁性層の積層面に垂直に電流を流す C P P (Current Perpendicular to the Plane) , または磁性層の積層面に平行に電流を流す C I P (Current Flows in the Plane) のどちらであっても構わない。

以上説明したように、本発明の磁気メモリデバイス、書込電流駆動回路、または書込電流駆動方法によれば、複数の電流方向制御回路について定電流回路を共通に設け、電流方向制御回路によって、入力された書込用のデータ信号に応じて各書込線における書き込み電流の方向を制御すると共に、定電流回路によって、各書込線に流れる書き込み電流を一定化するようにしたので、書き込み用の回路部品の低減化を図ることができる。また、各書込線に流れる書き込み電流のばらつきを小さくでき、かつ、書き込みのための消費電力の低減化を図ることができる。

請求の範囲

1. 外部磁界によって磁化方向が変化する感磁層を含んで構成された複数の磁気抵抗効果素子と、

前記感磁層に印加される外部磁界を発生させるための書き込み電流が流れる複数の書込線と、

各書込線ごとに設けられ、入力された書込用のデータ信号に応じて各書込線における書き込み電流の方向を制御する機能を有する複数の電流方向制御回路と、

前記複数の電流方向制御回路について共通に設けられ、各書込線に流れる書き込み電流を一定化する定電流回路と

を備えたことを特徴とする磁気メモリデバイス。

2. 前記各書込線は、前記電流方向制御回路に両端が接続されたループ形状をなしている

ことを特徴とする請求の範囲第1項に記載の磁気メモリデバイス。

3. 前記電流方向制御回路は、

前記書込線の両端に対応してそれぞれ設けられて互いに反対の開閉状態となるように動作する第1および第2の電流スイッチ、からなる第1の差動スイッチ対と、

前記第1および第2の電流スイッチに対応してそれぞれ設けられて互いに反対の開閉状態となるように動作する第3および第4の電流スイッチ、からなる第2の差動スイッチ対と、

互いに反対の開閉状態となるように動作する第5および第6の電流スイッチからなり、前記第1および前記第4の電流スイッチが同じ開閉状態となると共に前記第2および前記第3の電流スイッチが前記第1および第4の電流スイッチとは反対の開閉状態となるように制御を行う差動制御手段と

を含むことを特徴とする請求の範囲第1項に記載の磁気メモリデバイス。

4. 前記第1ないし第6の電流スイッチはそれぞれ、第1ないし第6のトランジスタで構成されている

ことを特徴とする請求の範囲第3項に記載の磁気メモリデバイス。

5. 各電流方向制御回路ごとに、複数の電流方向制御回路のうちのいずれか1つを選択するための回路選択スイッチをさらに備え、

前記定電流回路が、

電流制御用抵抗器と、

コレクタ端子が前記回路選択スイッチを介して前記複数の電流方向制御回路の前記第3および第4のトランジスタのエミッタ端子に共通に導かれ、エミッタ端子が前記電流制御用抵抗器を介して接地に導かれ、ベース端子に一定電圧が選択的に入力されるように構成された電流制御用トランジスタと

を含み、

前記回路選択スイッチにより選択された電流方向制御回路における前記第3および第4のトランジスタを流れる電流の和が、前記定電流回路によって一定化される

ことを特徴とする請求の範囲第4項に記載の磁気メモリデバイス。

6. 前記一定電圧は、バンドギャップリファレンスを利用して生成されている

ことを特徴とする請求の範囲第5項に記載の磁気メモリデバイス。

7. 前記電流制御用トランジスタの前記ベースと接地との間にダイオードが設けられている

ことを特徴とする請求の範囲第5項に記載の磁気メモリデバイス。

8. 前記回路選択スイッチは、前記複数の電流方向制御回路のうちのいずれか1つを選択するための回路選択信号に基づいて開閉制御される

ことを特徴とする請求の範囲第5項に記載の磁気メモリデバイス。

9. 前記回路選択スイッチは、前記複数の電流方向制御回路のうちのいずれか1つを選択するための回路選択信号と、書込モードであることを示す書込選択信号とに基づいて開閉制御される

ことを特徴とする請求の範囲第5項に記載の磁気メモリデバイス。

10. 前記第5のトランジスタは、ベース端子が前記第3のトランジスタのコレクタ端子に接続され、コレクタ端子が前記第2のトランジスタのベース端子に接続され、

前記第 6 のトランジスタは、ベース端子が前記第 4 のトランジスタのコレクタ端子に接続され、コレクタ端子が前記第 1 のトランジスタのベース端子に接続されている

ことを特徴とする請求の範囲第 4 項に記載の磁気メモリデバイス。

1 1. 前記複数の電流方向制御回路について共通に設けられ、前記第 5 および第 6 のトランジスタを流れる電流の和を一定化する第 2 の定電流回路をさらに備えたことを特徴とする請求の範囲第 4 項に記載の磁気メモリデバイス。

1 2. 各電流方向制御回路ごとに、複数の電流方向制御回路のうちのいずれか 1 つを選択するための第 2 の回路選択スイッチをさらに備え、

前記第 2 の定電流回路が、

第 2 の電流制御用抵抗器と、

コレクタ端子が前記第 2 の回路選択スイッチを介して前記複数の電流方向制御回路の前記第 5 および第 6 のトランジスタのエミッタ端子に共通に導かれ、エミッタ端子が前記第 2 の電流制御用抵抗器を介して接地に導かれ、ベース端子に一定電圧が選択的に入力されるように構成された第 2 の電流制限用トランジスタとを含むことを特徴とする請求の範囲第 1 1 項に記載の磁気メモリデバイス。

1 3. 前記第 1 および第 2 のトランジスタのコレクタ端子は、電源に接続され、前記書込線の一端は、前記第 1 のトランジスタのエミッタ端子および前記第 3 のトランジスタのコレクタ端子に接続され、

前記書込線他端は、前記第 2 のトランジスタのエミッタ端子および前記第 4 のトランジスタのコレクタ端子に接続されている

ことを特徴とする請求の範囲第 4 項に記載の磁気メモリデバイス。

1 4. 前記第 3 および第 4 のトランジスタのうち一方のトランジスタのベース端子に前記データ信号が入力され、他方のトランジスタのベース端子に前記データ信号の反転信号が入力される

ことを特徴とする請求の範囲第 4 項に記載の磁気メモリデバイス。

1 5. 前記第 5 のトランジスタは、前記第 3 のトランジスタの開閉状態を検出し、前記第 3 のトランジスタと同じ開閉状態となるように前記第 2 のトランジスタを動作させ、

前記第 6 のトランジスタは、前記第 4 のトランジスタの開閉状態を検出し、前記第 4 のトランジスタと同じ開閉状態となるように前記第 1 のトランジスタを動作させる

ことを特徴とする請求の範囲第 4 項に記載の磁気メモリデバイス。

16. 前記第 5 のトランジスタのコレクタ端子と前記第 2 のトランジスタのベース端子との接続点と電源との間に第 1 のバイアス抵抗器が設けられ、

前記第 6 のトランジスタのコレクタ端子と前記第 1 のトランジスタのベース端子との接続点と電源との間に第 2 のバイアス抵抗器が設けられている

ことを特徴とする請求の範囲第 4 項に記載の磁気メモリデバイス。

17. 前記磁気抵抗効果素子は、

前記感磁層を含み、積層面に垂直な方向に電流が流れるように構成された積層体と、

前記積層体の一方の面側に、前記積層面に沿った方向を軸方向とするように配設されると共に、前記書込線によって貫かれるように構成された環状磁性層と

を備えたことを特徴とする請求の範囲第 1 項に記載の磁気メモリデバイス。

18. 前記書込線は、複数の第 1 の書込線と、前記複数の第 1 の書込線の各々と交差するように延びる複数の第 2 の書込線とからなり、

前記第 1 および第 2 の書込線は、前記環状磁性層を貫く領域において互いに平行に延びている

ことを特徴とする請求の範囲第 17 項に記載の磁気メモリデバイス。

19. 1 つの記憶セルが、一対の前記磁気抵抗効果素子を含んで構成されている

ことを特徴とする請求の範囲第 1 項に記載の磁気メモリデバイス。

20. 前記第 1 および第 2 の書込線の双方を流れる電流に誘導される磁界によって、前記一対の磁気抵抗効果素子における各感磁層の磁化方向が互いに反平行となるように変化し、前記記憶セルに情報が記憶される

ことを特徴とする請求の範囲第 19 項に記載の磁気メモリデバイス。

21. 外部磁界によって磁化方向が変化する感磁層を含んで構成された複数の磁気抵抗効果素子と、前記感磁層に印加される外部磁界を発生させる書き込み電流が流れるように構成されたループ状の複数の書込線とを有する磁気メモリデバイ

スに適用される書込電流駆動回路であって、

前記書込線の両端がそれぞれ接続される一対の接続端と、

各書込線ごとに設けられ、入力された書込用のデータ信号に応じて各書込線における書き込み電流の方向を制御する機能を有する複数の電流方向制御回路と、

前記複数の電流方向制御回路について共通に設けられ、各書込線に流れる書き込み電流を一定化する定電流回路と

を備えたことを特徴とする書込電流駆動回路。

22. 外部磁界によって磁化方向が変化する感磁層を含んで構成された複数の磁気抵抗効果素子と、前記感磁層に印加される外部磁界を発生させる書き込み電流が流れるように構成されたループ状の複数の書込線とを有する磁気メモリデバイスに適用される書込電流駆動方法であって、

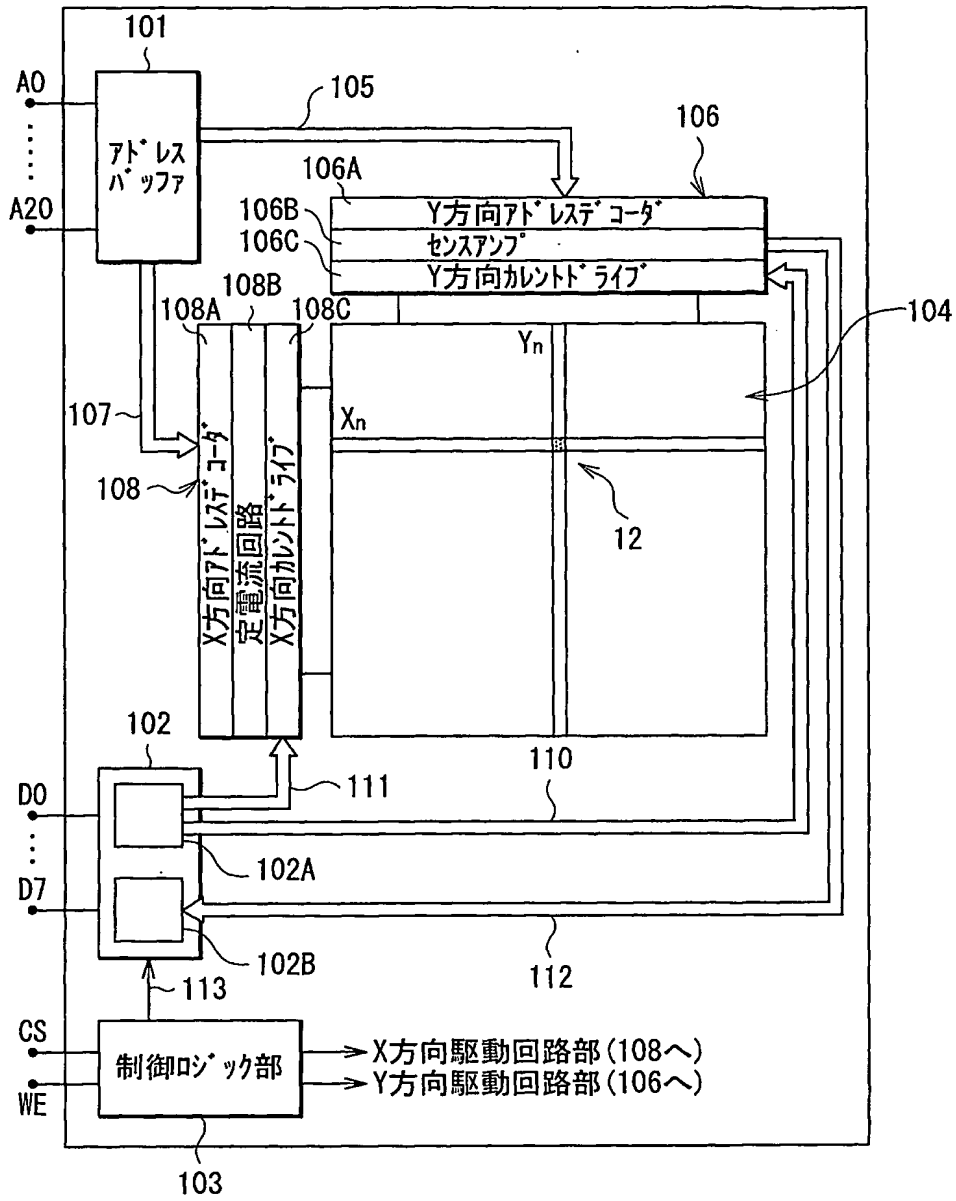
各書込線ごとに電流方向制御回路を設けてこの電流方向制御回路に前記書込線の両端を接続すると共に、複数の前記電流方向制御回路について定電流回路を共通に設け、

前記電流方向制御回路によって、入力された書込用のデータ信号に応じて各書込線における書き込み電流の方向を制御すると共に、前記定電流回路によって、各書込線に流れる書き込み電流を一定化する

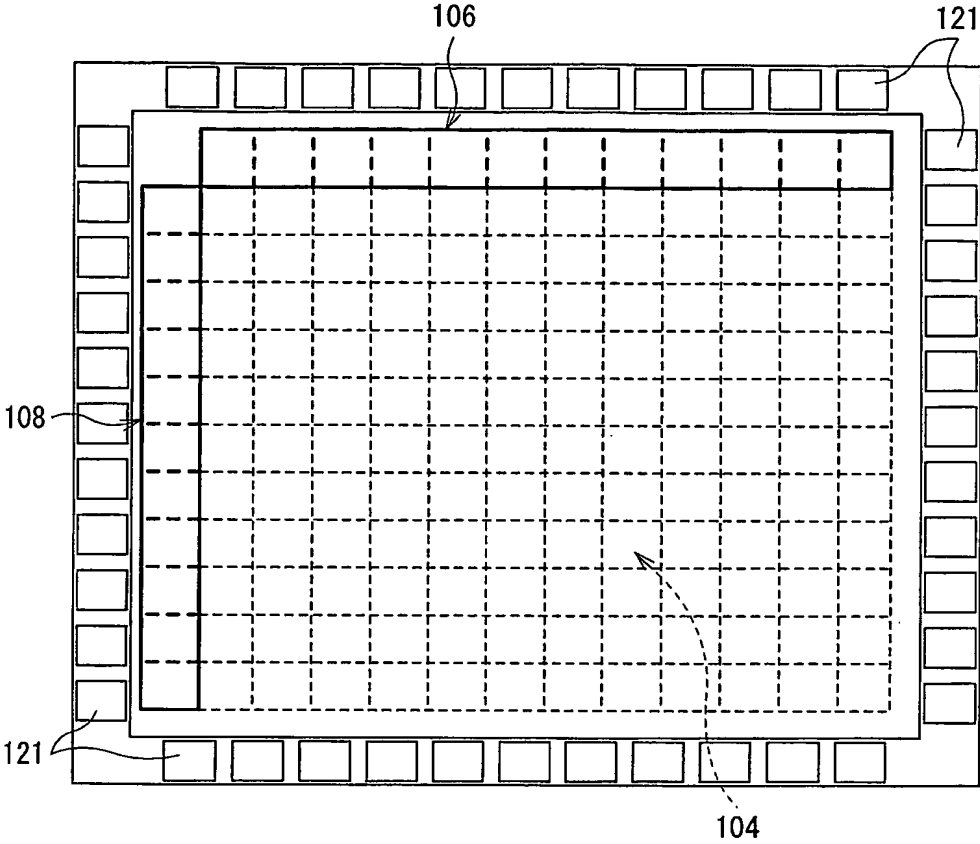
ことを特徴とする書込電流駆動方法。

1/21

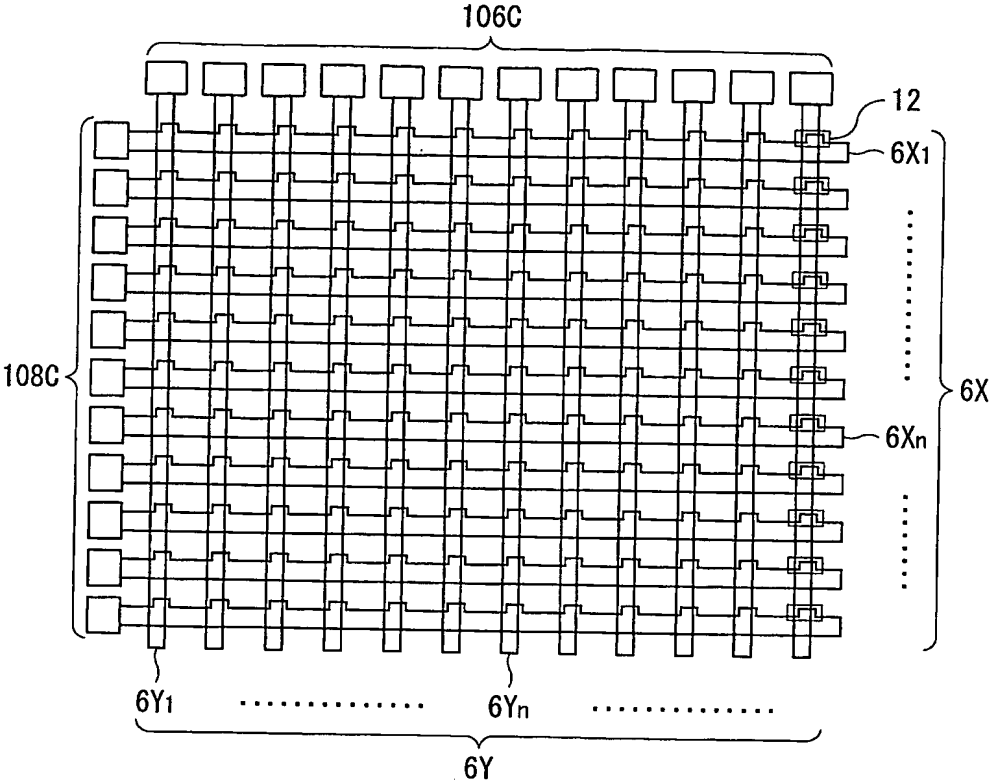
第1図



第2図

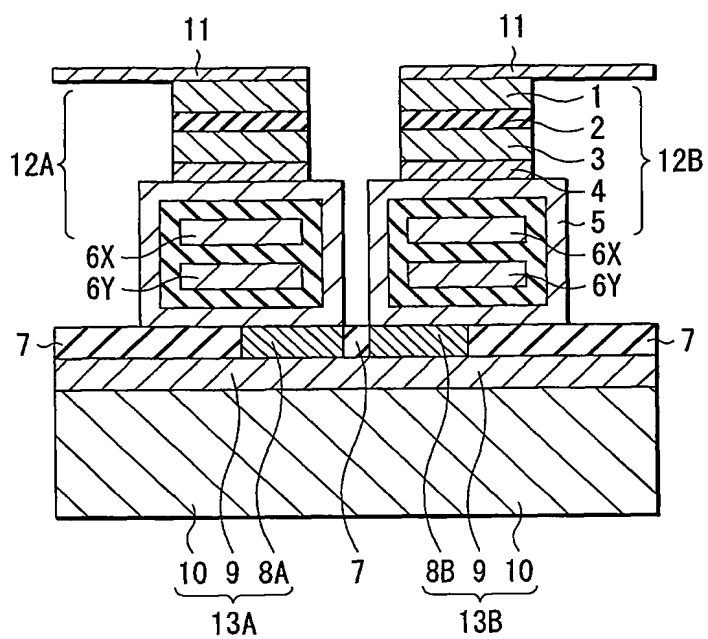


第3図



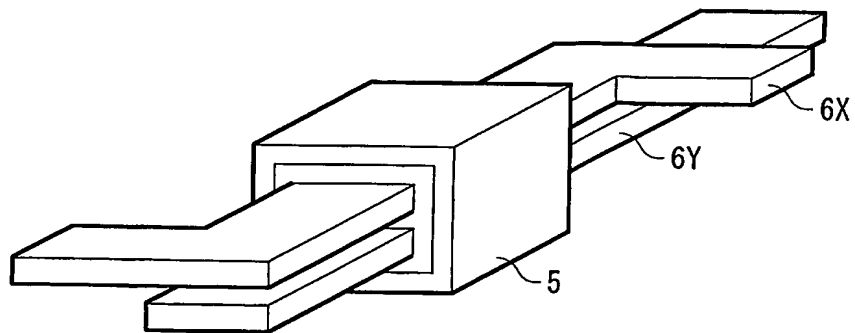
6/21

第6図

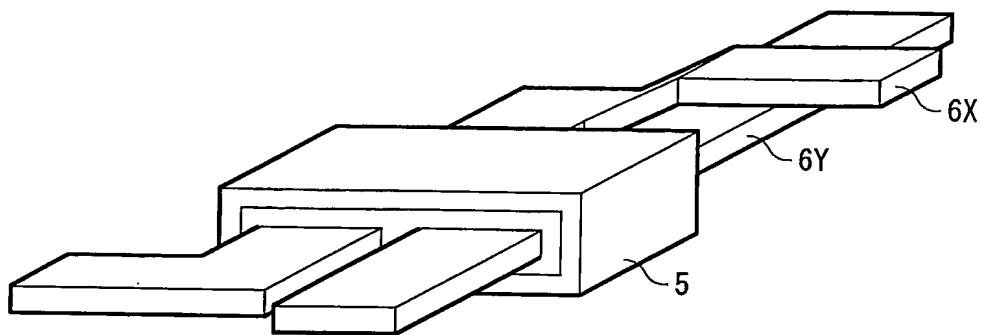


7/21

第7図

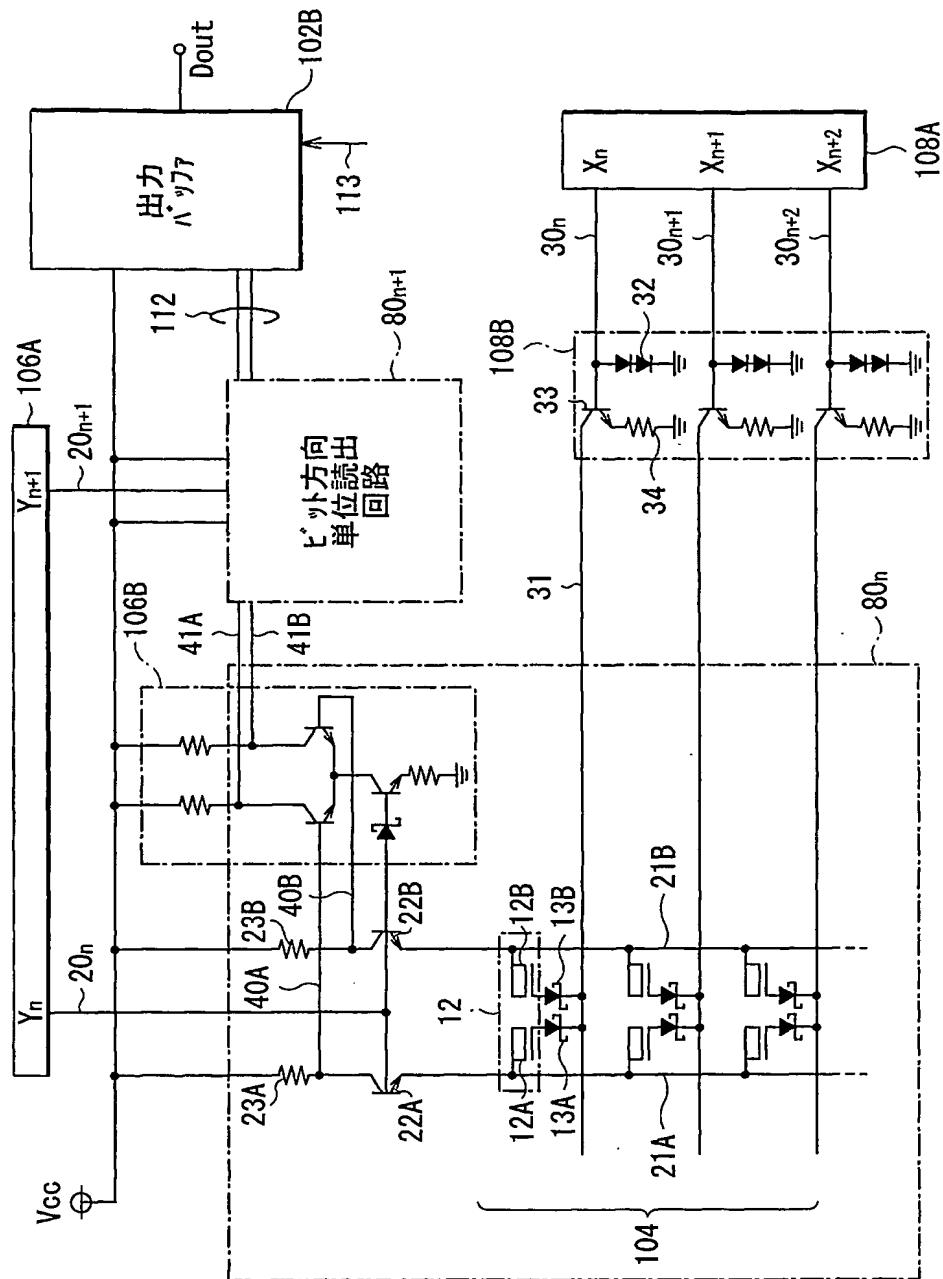


第8図

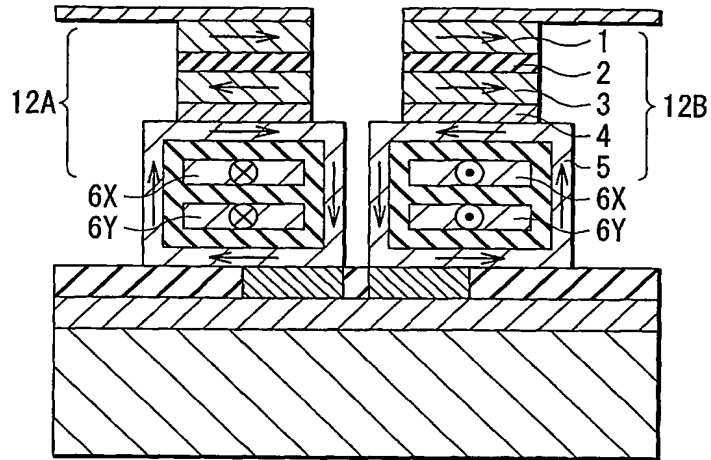


8/21

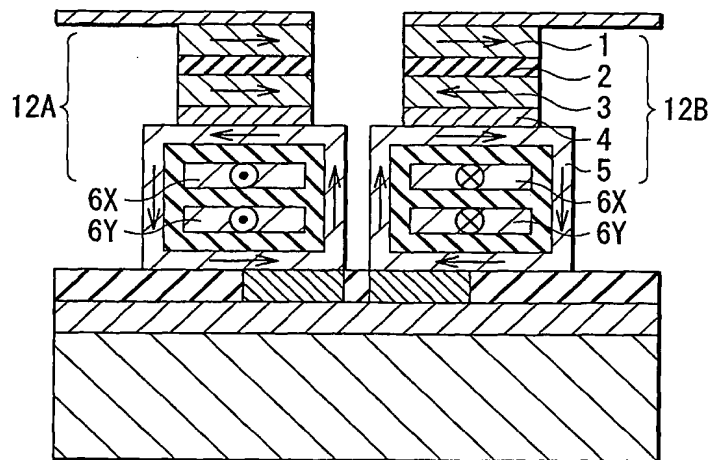
第9図



第10図

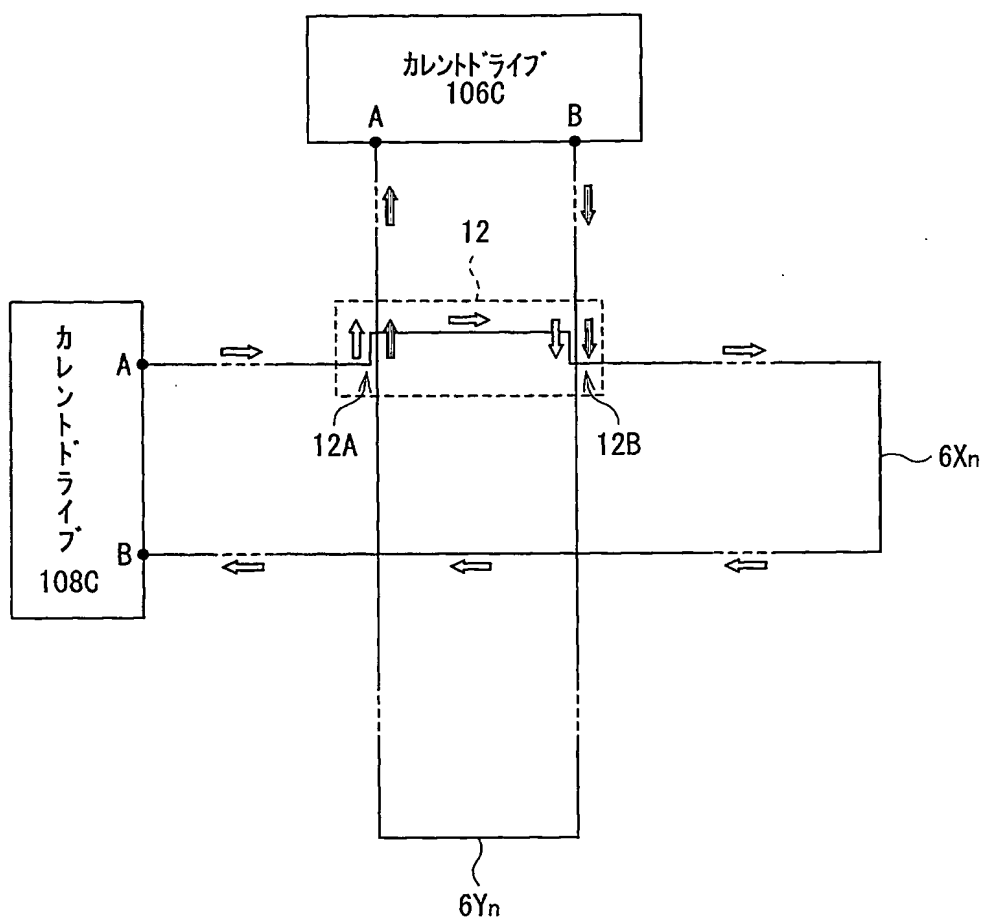


第11図



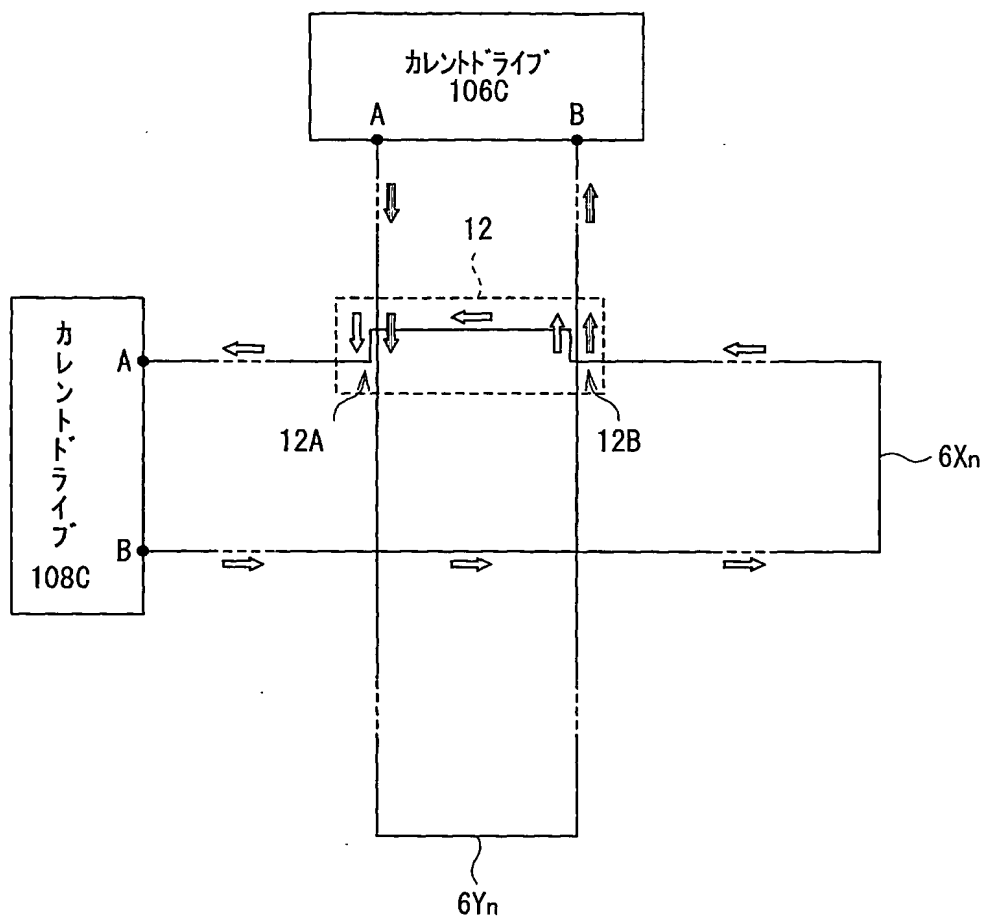
10/21

第12図

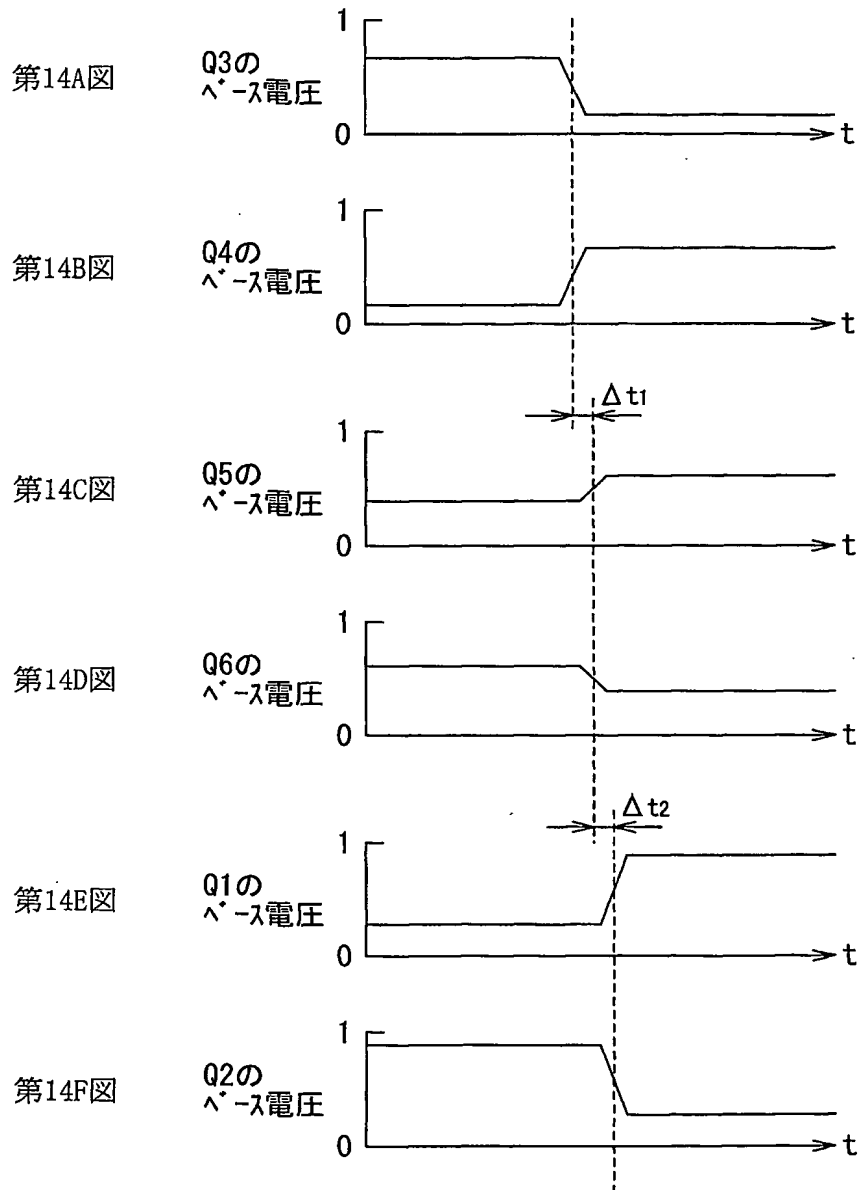


11/21

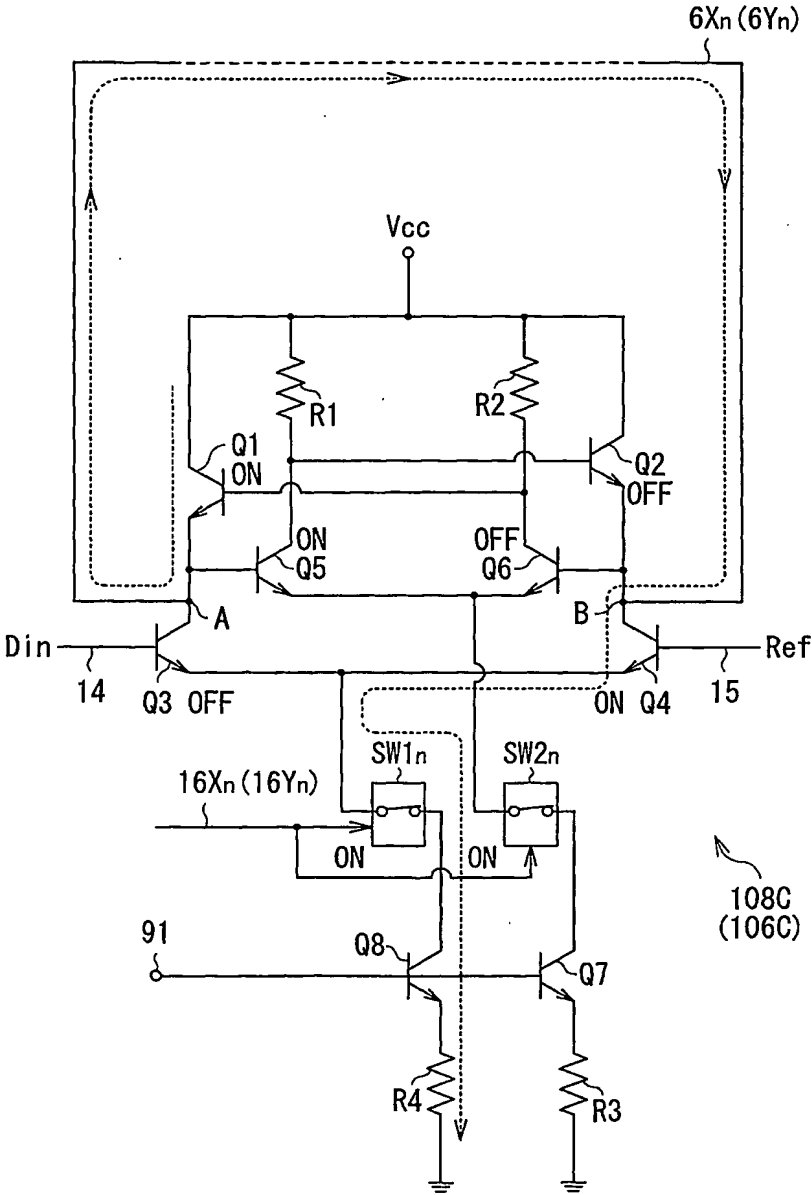
第13図



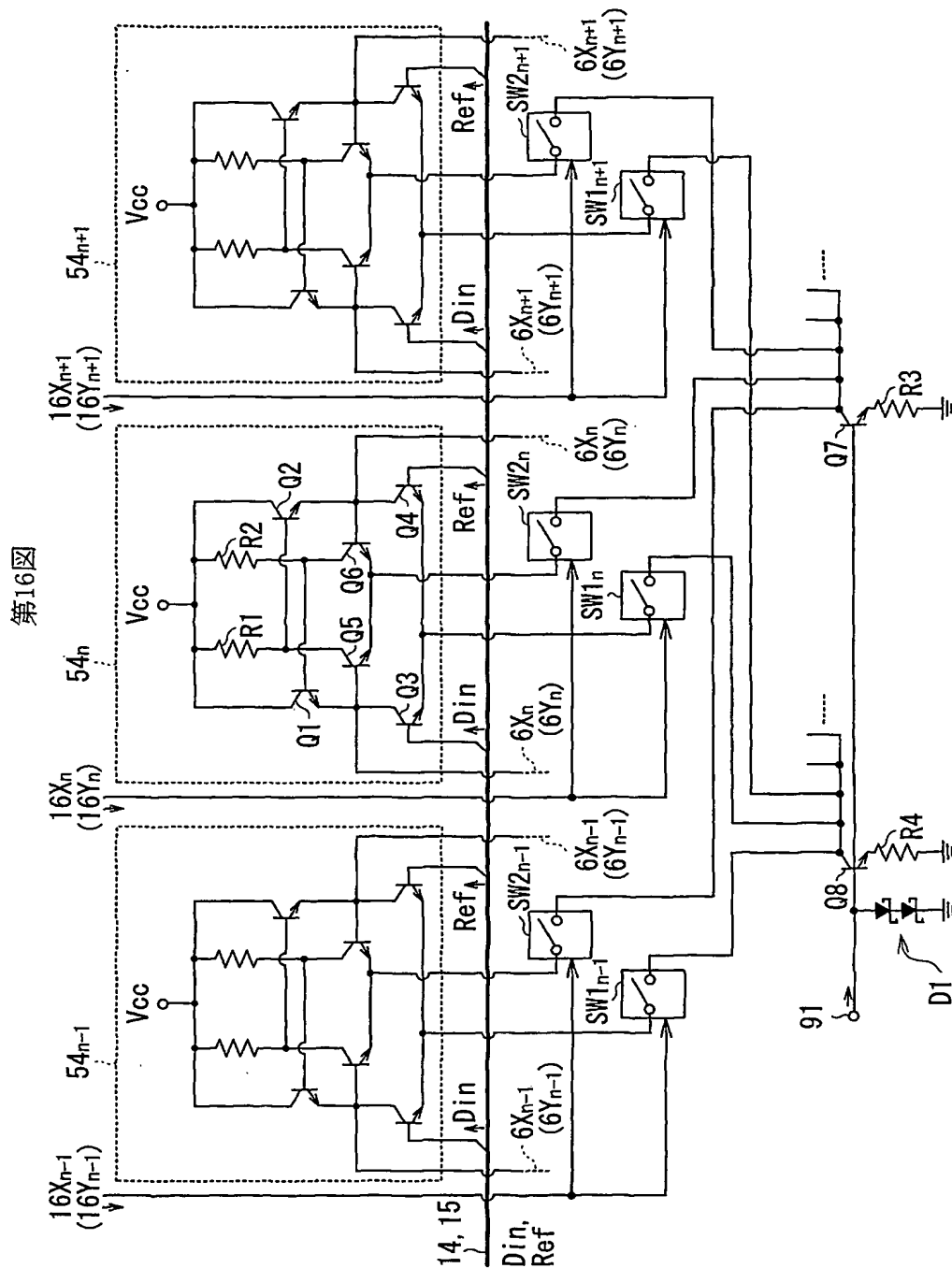
12/21



第15図

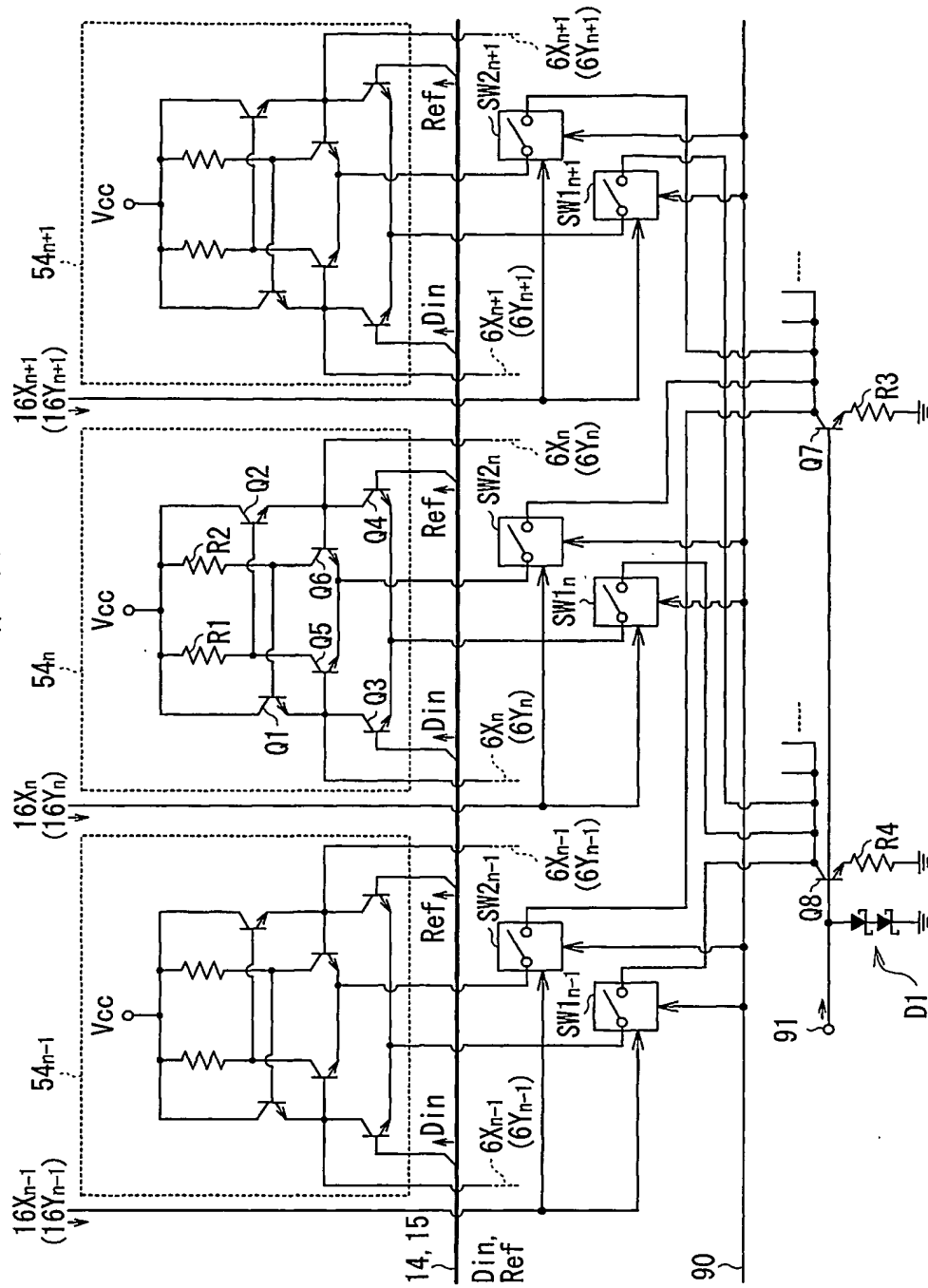


14/21



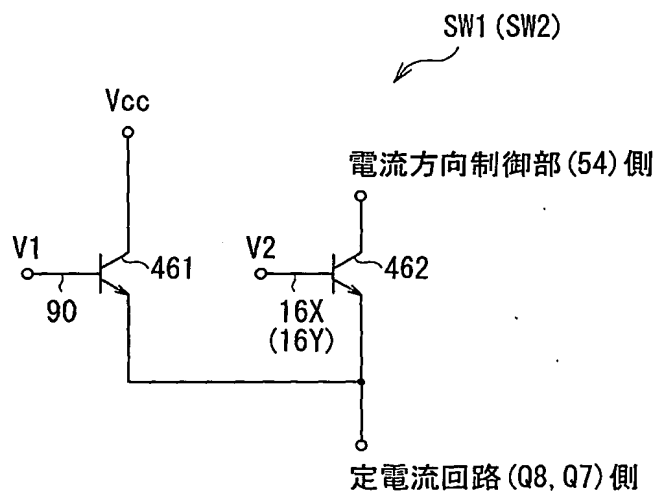
15/21

第17図



16/21

第18図

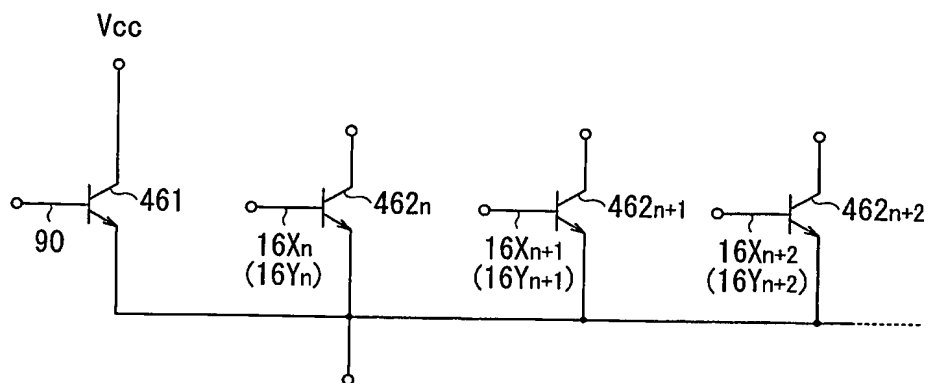


第19図

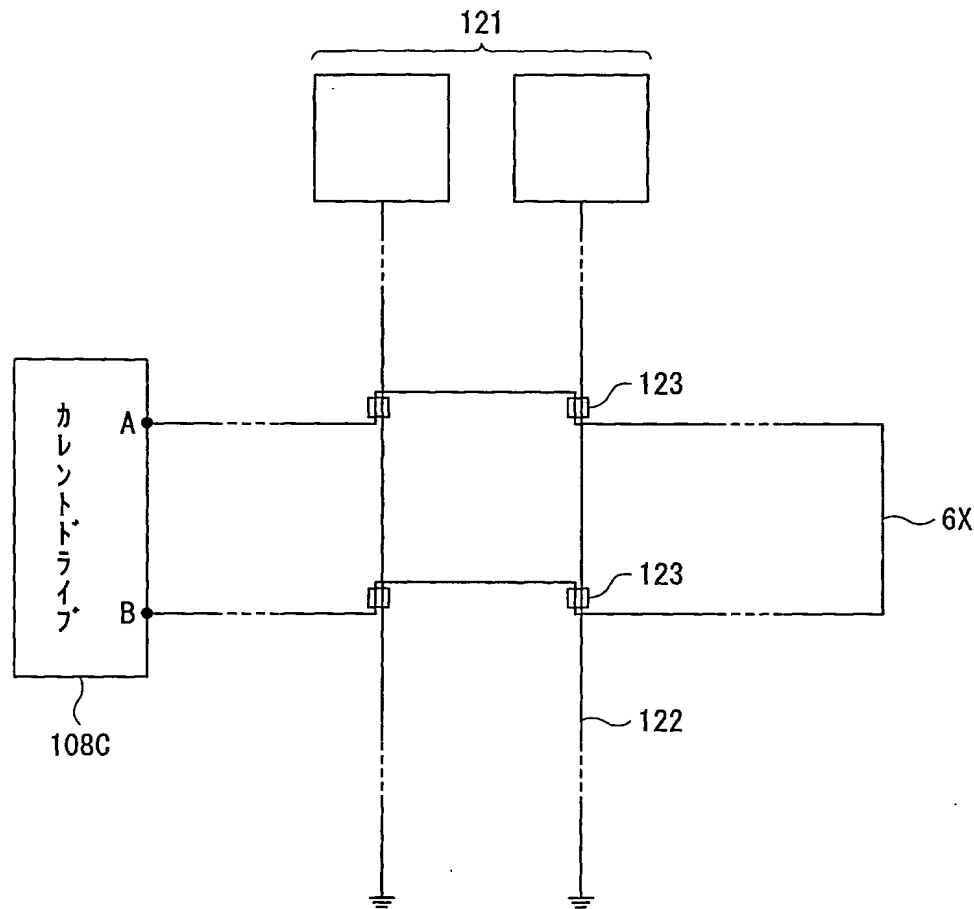
トランジスタ461	トランジスタ462	スイッチSW1 (SW2)
L	L	OFF
L	H	ON
H	L	OFF
H	H	OFF

17/21

第20図

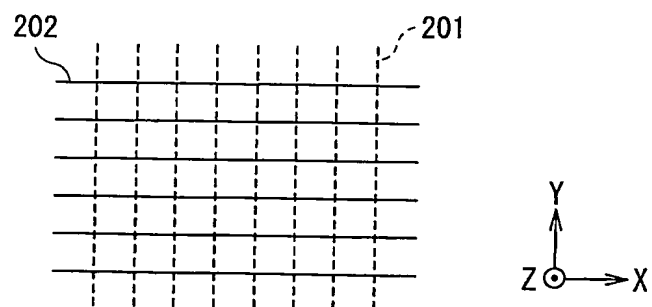


第21図

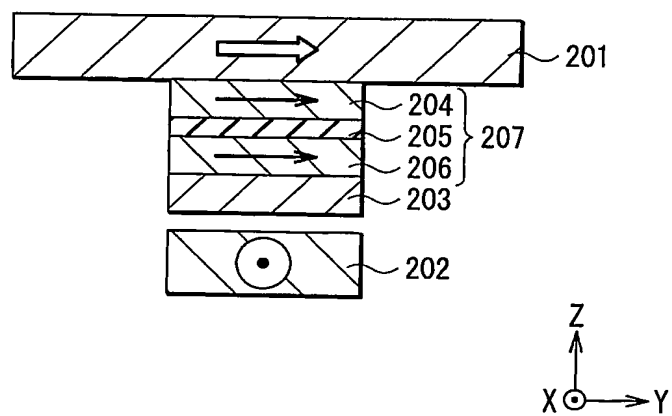


19/21

第22図

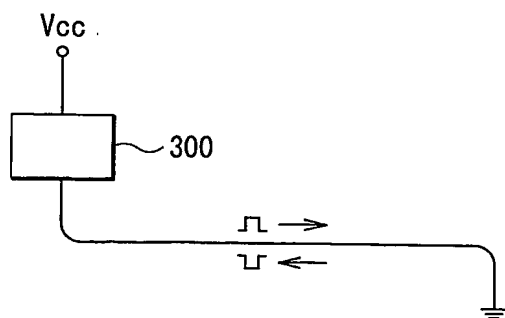


第23図

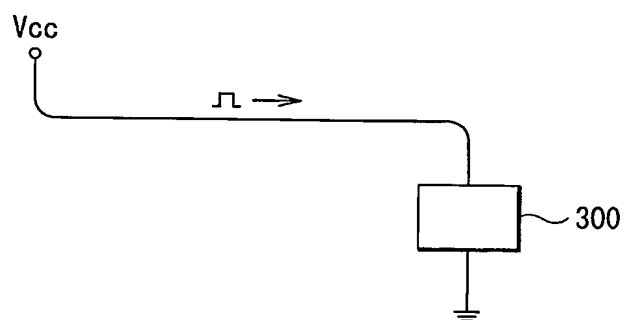


21/21

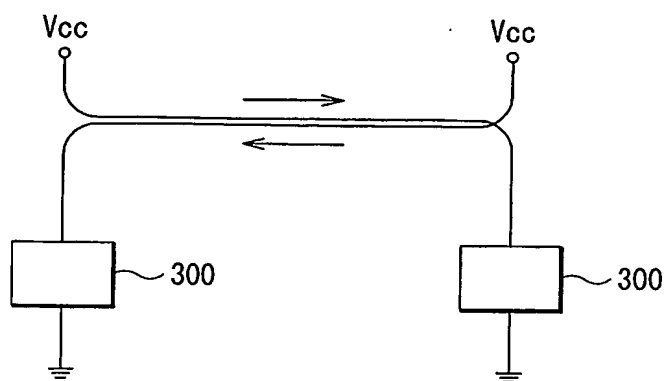
第25A図



第25B図



第25C図



A. 発明の属する分野の分類 (国際特許分類 (IPC))
Int. Cl. G11C 11/15
H01L 27/10

B. 調査を行った分野
調査を行った最小限資料 (国際特許分類 (IPC))
Int. Cl. G11C 11/15
H01L 27/10
H01L 43/08

最小限資料以外の資料で調査を行った分野に含まれるもの
日本国実用新案公報 1922-1996年
日本国公開実用新案公報 1971-2004年
日本国登録実用新案公報 1994-2004年
日本国実用新案登録公報 1996-2004年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献
引用文献の
カテゴリ* 引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示
請求の範囲の番号 関連する

X	JP 2002-343077 A (三菱電機株式会社), 2002.11.29 段落 199~203, 図面第15図及び16図	1, 2, 21, 22 19, 20 3-18
Y	JP 2002-319661 A (キヤノン株式会社), 2002.10.31 全文, 全図 & US 2002/0154540 A1	19, 20
Y	JP 2001-236781 A (株式会社東芝), 2001.08.31 全文, 全図 & US 2002/0006058 A1 & EP 1109170 A2	19, 20

☒ C欄の続きにも文献が列挙されている。
☐ パラメトリックに関する別紙を参照。

* 引用文献のカテゴリ
「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」口頭による開示、使用、展示等による文献
「P」国際出願日前で、かつ優先権の主張となる出願
「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「Z」同一パラメトリック文献

国際調査を完了した日 08.04.2004
国際調査報告の発送日 27.4.2004

国際調査機関の名称及び国特許庁 (ISA/J P)
郵便番号 100-8915
東京都千代田区霞が関三丁目4番3号
特許庁審査官 (権限のある職員) 5N 8731
飯田 清司
電話番号 03-3581-1101 内線 6842

C (続き) 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示
-----------------	-----------------------------------

関連する 請求の範囲の番号	17, 18
------------------	--------

A JP 2003-7985 A (トニ・ハート・カンパニー), 2003.01.10 全文, 全図 & US 6404674 B1 & EP 1248265 A2 & CN 1379408 A

--	--